

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/707,823

Filing Date

01/15/2004

First Named Inventor

Po-Chun Chen

Art Unit

Examiner Name

Attorney Docket Number

VIAP0113USA

ENCLOSURES (Check all that apply)



Fee Transmittal Form



Fee Attached



Amendment/Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)



Response to Missing Parts/
Incomplete Application



Response to Missing Parts
under 37 CFR 1.52 or 1.53



Drawing(s)



Licensing-related Papers



Petition



Petition to Convert to a
Provisional Application



Power of Attorney, Revocation



Change of Correspondence Address



Terminal Disclaimer



Request for Refund



CD, Number of CD(s) _____



After Allowance communication
to Technology Center (TC)



Appeal Communication to Board
of Appeals and Interferences



Appeal Communication to TC
(Appeal Notice, Brief, Reply Brief)



Proprietary Information



Status Letter



Other Enclosure(s) (please
Identify below):

Remarks

Response to the office action has been sent to the examiner by fax on 12/04/2003

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm
or
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Winston Hsu

Date

3/12/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

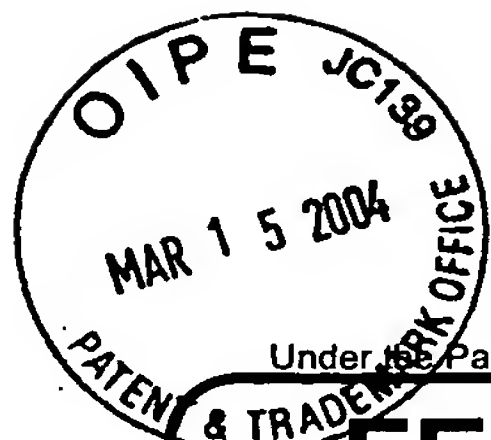
Typed or printed name

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/707,823
Filing Date	01/15/2004
First Named Inventor	Po-Chun Chen
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0113USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Multiple Dependent					<input type="text"/>	<input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	3/12/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

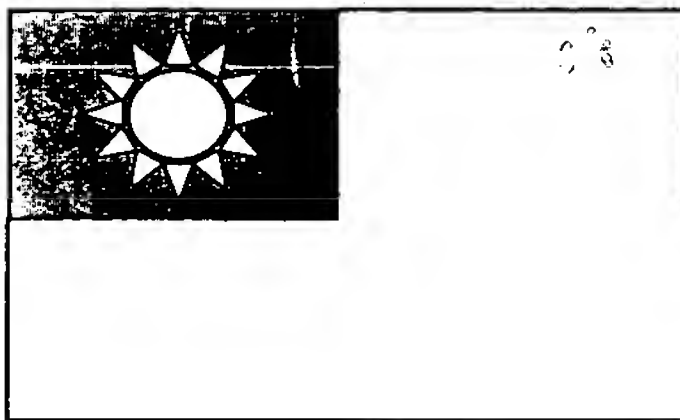


PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092128754	Taiwan R.O.C	10/16/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 16 日
Application Date申請案號：092128754
Application No.申請人：威盛電子股份有限公司
Applicant(s)局長
Director General

蔡練生

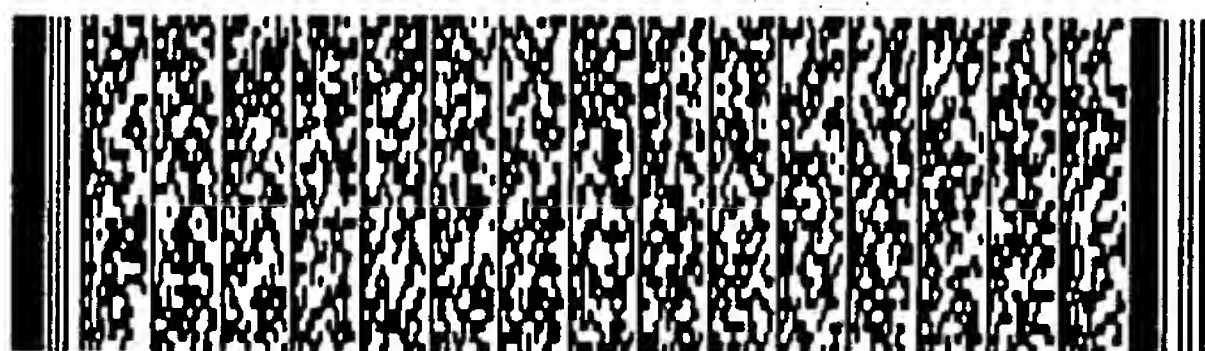
發文日期：西元 2003 年 10 月 31 日
Issue Date發文字號：09221108260
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	除頻器及除頻器設計之方法
	英 文	FREQUENCY DIVIDER AND RELATED FREQUENCY DIVIDER DESIGNING METHOD
二、 發明人 (共1人)	姓 名 (中 文)	1. 陳柏俊
	姓 名 (英 文)	1. CHEN, PO-CHUN
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA TECHNOLOGIES INC.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. WANG, HSUEH-HUNG

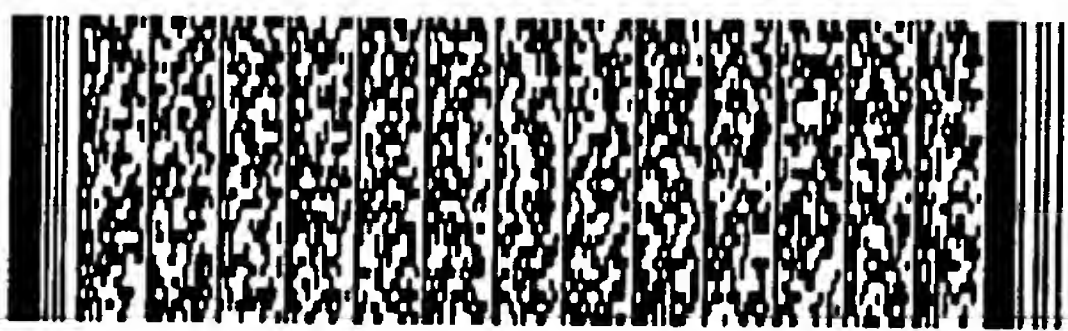


四、中文發明摘要 (發明名稱：除頻器及除頻器設計之方法)

本發明提供一種除頻器及除頻器設計之方法，將一原始脈波以一 $n.5$ 倍除頻來形成一目標脈波，首先界定一除頻倍率為 $n.5*2$ ，接著根據該除頻倍率，產生對應該原始脈波之一第一觸發相位與一第二觸發相位，然後分別選擇一正除頻電路或一負除頻電路方式，並決定複數個脈波產生器之初始值設定方式，以分別產生一第一目標脈波與第二目標脈波，最後根據第一目標脈波與第二目標脈波，產生目標脈波。

五、英文發明摘要 (發明名稱：FREQUENCY DIVIDER AND RELATED FREQUENCY DIVIDER DESIGNING METHOD)

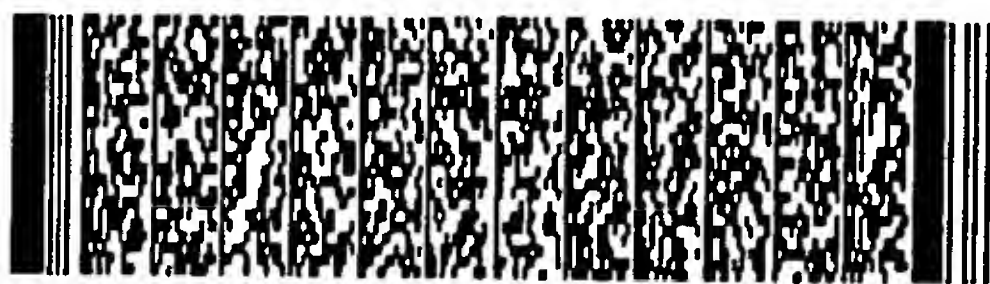
A frequency divider and related frequency divider designing method for forming a target clock by dividing an original by $n.5$ are disclosed. The method includes following steps: (a) determining a frequency-dividing ratio of $n.5*2$, (b) generating a first triggering phase and a second triggering phase relating to the original clock by determining the frequency-dividing ratio, (c)



四、中文發明摘要 (發明名稱：除頻器及除頻器設計之方法)

五、英文發明摘要 (發明名稱：FREQUENCY DIVIDER AND RELATED FREQUENCY DIVIDER DESIGNING METHOD)

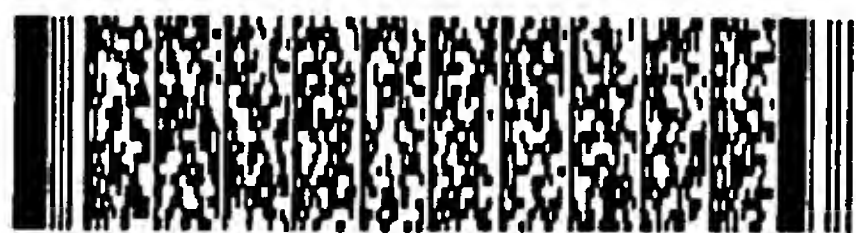
selecting a positive frequency dividing circuit or a negative frequency dividing circuit and an initial value setting manner for the selected positive or negative frequency dividing circuits, and (d) generating the target clock according to the first and second target clock.



六、指定代表圖

(一)、本案代表圖為：第 ____ 七 ____ 圖

(二)、本案代表圖之元件代表符號簡單說明：



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



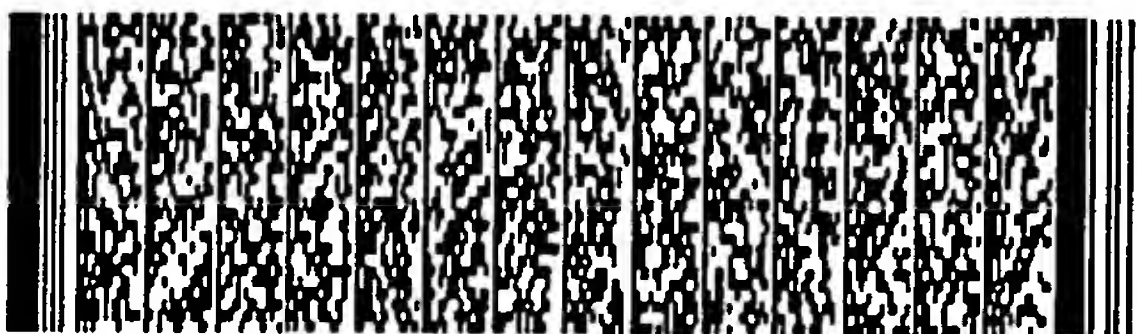
五、發明說明 (1)

【技術領域】

本發明提供一種除頻器及除頻器設計之方法，尤指一種正奇數除頻器，並進一步產生非整數之除頻器及除頻器設計之方法。

【先前技術】

請參閱圖一為美國專利號 US6356123 的一非整數除頻器 10 之電路圖。非整數除頻器 10 包含一相移器 (phase shifter) 12、四組漣波計數器 (ripple counter) 14、16、18 及 20、及一合成電路 22。其中相移器 12 產生第一脈波 CLK0 及延遲第一脈波 CLK0 達 90 度之第二脈波 CLK90。漣波計數器 14、16、18 及 20，各包含三個串接 D 型正反器 (D flip flop)，每一 D 型正反器之輸出端 Q 連接下一個 D 型正反器之輸入端 D，而最後一 D 型正反器之輸出端 Q 經一反相器連接於最前一 D 型正反器之輸入端 D；而漣波計數器 14、18 與漣波計數器 16、20 之 D 型正反器，係分別使用升緣觸發 (rising edge-triggered) D 型正反器與降緣觸發 (falling edge-triggered) D 型正反器，即在正反器觸發方式係由 CLK 上升邊緣與下降邊緣不同之觸發方式。漣波計數器 14、16 中所有 D 型正反器之脈波輸入端 CLK 接收第一脈波 CLK0，而漣波計數器 18、20 中所有 D 型正反器之脈波輸入端 CLK 接收第二脈波 CLK90。合成電路 22 包含二個互斥



五、發明說明 (2)

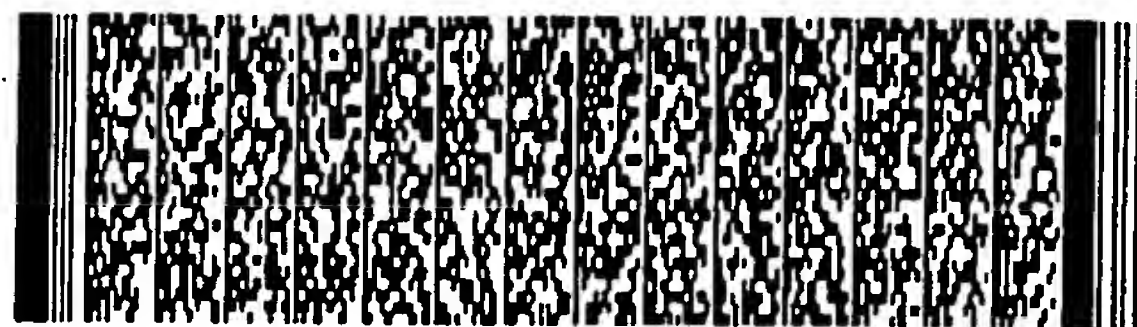
或閘 (XOR gate) 24、26 及一或閘 28，互斥或閘 24 二輸入端分別連接於漣波計數器 14、20 中輸出端 A、B，互斥或閘 26 二輸入端分別連接於漣波計數器 16、18 中輸出端 C、D，或閘 28 之二輸入端連接於互斥或閘 24、26 之輸出端 E、F，而或閘 28 之輸出端產生目標脈波。

接著，請參閱圖二非整數除頻器 10 運作時第一脈波 CLK0、第二脈波 CLK90、輸出端 A 至 F 之訊號、及目標脈波 V0 之波形圖。漣波計數器 14、16、18 及 20 分別產生四個除頻脈波，每一除頻脈波之頻率皆為第一脈波 CLK0 之六分之一（即週期為六倍），透過適當選取（如圖一中漣波計數器 14、16、18 及 20 之輸出端 A、B、C 及 D），輸入到合成電路 22 進行兩次倍頻（即頻率增加 4 倍），產生第一脈波 CLK0 之頻率 1.5 倍的目标脈波，而達成非整數 (1.5) 除頻的效果。

上述非整數除頻器 10，需內含 12 個 D 型正反器並產生四種除頻脈波，方能合成該目標脈波，顯然在成本與架構上仍需進一步減少。

【內容】

因此本發明之主要目的在於提供一種以較少的元件所組成之非整數除頻器，以克服習知技術之缺點。



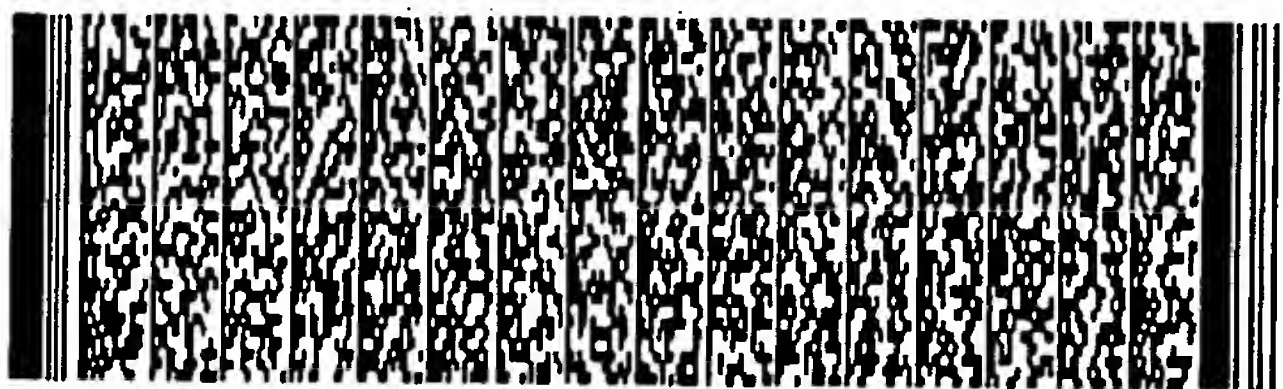
五、發明說明 (3)

本發明提供一種除頻器，將一原始脈波以一除頻倍率 M 來除頻成一目標脈波，該 M 為一正奇數，該除頻器包含一前級電路、一中級電路及一後級電路。

該前級電路包含：一第一脈波產生器，其脈波輸入端係連接於與該原始脈波頻率相同且具有一觸發相位之一觸發脈波、以及一第一邏輯閘，其第一輸入端係連接於該第一型脈波產生器之輸出端、而第二輸入端係連接於該第一型脈波產生器之訊號輸入端。

該中級電路包含：一第二脈波產生器，其脈波輸入端係連接於該觸發脈波；以及 $M-1$ 個串接之第一組脈波產生器，每一第一組脈波產生器之脈波輸入端皆係連接於該觸發脈波，該 M 個第一組脈波產生器中最前之脈波產生器之訊號輸入端係連接於該前級電路之第一邏輯閘之輸出端，而該 M 個第一組脈波產生器中最後之脈波產生器之輸出端係連接於該中級電路之第二脈波產生器之訊號輸入端。

該後級電路包含：一第三脈波產生器，其脈波輸入端係連接於該觸發脈波、而訊號輸入端係連接於該中級電路之第二型脈波產生器之輸出端；以及一第二邏輯閘，其第一輸入端係連接於該後級電路之第三脈波產生器之輸出端、第二輸入端係連接於該中級電路之第二脈波產生器之輸出端、而輸出端係用來輸出該目標脈波。



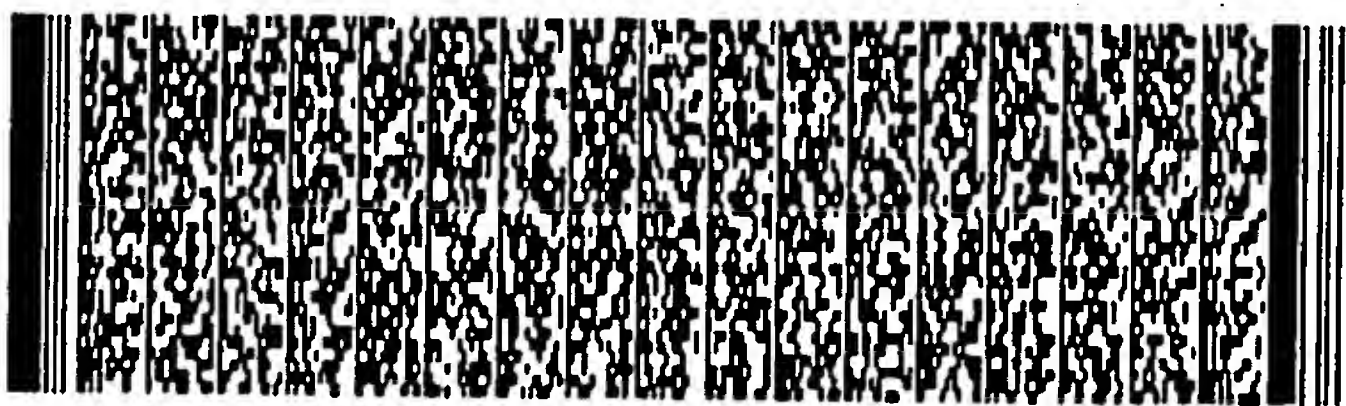
五、發明說明 (4)

根據上述架構，我們可進一步設計本發明之非整數除頻器，用來將一原始脈波除頻成一目標脈波，該原始脈波之頻率係 $n \cdot 5$ 倍於該目標脈波之頻率，該非整數除頻器包含：一相移器，用來依據該原始脈波產生一第一脈波及一第二脈波；一第一除頻電路，接收該第一脈波，經內部依序串聯之一第一前級電路、一第一中級電路以及一第一後級電路作用下，產生一第一目標脈波，其中該第一前級電路包括一第一脈波產生器與一第一邏輯閘構成，該第一中級電路包括一第二脈波產生器、 k 個串接之第一組脈波產生器 ($k \geq 0$)、 $(n-k_1-1)$ 個串接之第二組脈波產生器 ($n-k_1-1 \geq 0$)，其中該 k 係根據 n 與該第一脈波之一觸發相位決定，該第一後級電路包括一第三脈波產生器與一第二邏輯閘構成；一第二除頻電路，接收該第二脈波，經內部依序串聯之一第二前級電路、一第二中級電路以及一第二後級電路，產生一第二目標脈波，其中該第二前級電路包括一第四脈波產生器與一第三邏輯閘構成，該第二中級電路包括一第五脈波產生器、 k 個串接之第三組脈波產生器 ($k_2 \geq 0$)、 $(n-k_2-1)$ 個串接之第四組脈波產生器 ($n-k_2-1 \geq 0$)，其中該 k 係根據 n 與該第二脈波之一觸發相位決定，該第二後級電路包括一第六脈波產生器與一第四邏輯閘構成；以及一合成電路，根據該第一目標脈波及該第二目標脈波，產生該目標脈波輸出。

五、發明說明 (5)

本發明另提供一除頻器設計之方法，設計將一原始脈波以一除頻倍率來除頻成一目標脈波，該除頻倍率為一正奇數，包括下列步驟：根據該除頻倍率，選取對應該原始脈波之一觸發相位；若選擇一正除頻電路方式，以一觸發相位且與該原始脈波同頻率之波形輸入，並根據該除頻倍率，決定該正除頻電路之複數個脈波產生器之初始值設定方式，以產生該目標脈波；以及若選擇一負除頻電路方式，該觸發相位修正成一調整觸發相位，並以該調整觸發相位且與該原始脈波同頻率之波形輸入，並根據該調整觸發相位且與該除頻倍率，決定該負除頻電路之複數個脈波產生器之初始值設定方式，以產生該目標脈波。

此外本發明再提供一種非整數除頻器設計之方法，將一原始脈波以一 $n.5$ 倍除頻來形成一目標脈波，包括下列步驟：首先界定一除頻倍率為 $n.5*2$ ；根據該除頻倍率，產生對應該原始脈波之一第一觸發相位與一第二觸發相位；以該第一觸發相位與該除頻倍率，選擇一正除頻電路或一負除頻電路，以產生第一目標脈波；以及以該第二觸發相位與該除頻倍率，選擇一正除頻電路或一負除頻電路，以產生第二目標脈波；以及根據該第一目標脈波與該第二目標脈波，產生該目標脈波。



五、發明說明 (6)

由於本發明之非整數除頻器僅需為數較少之正反器，就可提供與習知技術相同之功效，因此，本發明具有體積小及成本低之優點。

【實施方法】

由於習知產生非整數除頻的電路，係產生四種頻率相同而存在相位差之除頻脈波，且頻率為第一脈波 CLK0 六分之一的頻率，然後經合成電路（如圖一中所顯示之合成電路 22）進行兩次倍頻（即頻率增加 4 倍），以產生第一脈波 CLK0 之頻率 1.5 倍的目標脈波，因此本發明在改良成只要產生二種頻率相同而存在相位差之除頻脈波，且頻率為第一脈波 CLK0 三分之一的頻率，接著在合成電路只要經過一次倍頻（即頻率增加 2 倍），就可以產生第一脈波 CLK0 之頻率 1.5 倍的目標脈波，由於除頻脈波減少與合成電路倍頻減少一次，因此可以有效減少元件的個數。

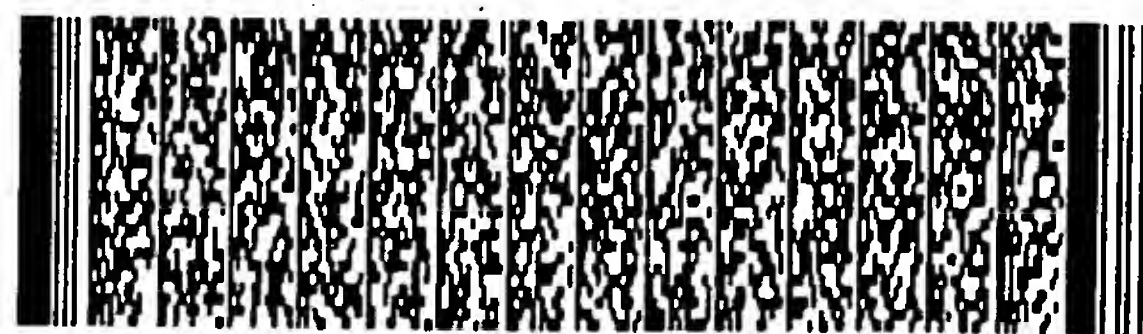
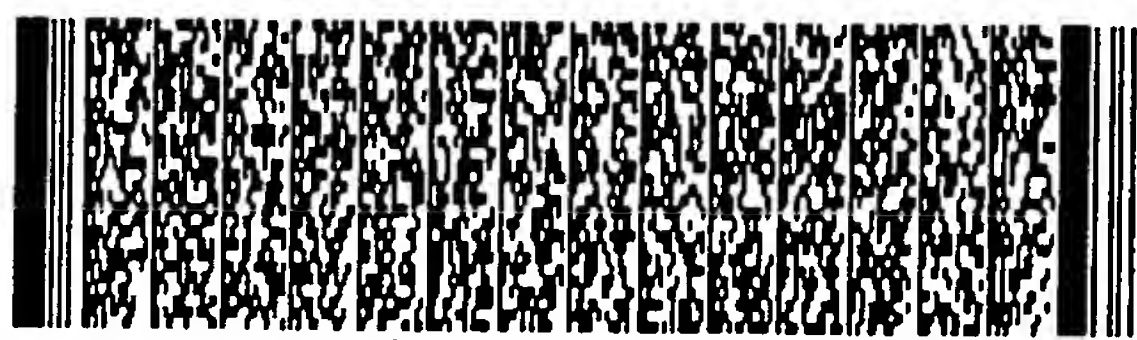
請參閱圖三為本發明之較佳實施例中一非整數除頻器 30 之電路圖。非整數除頻器 30 由一相移器 32、除頻電路 34 與 36 以及合成電路 38 所構成。其中相移器 32 與第 1 圖相同部分，即產生 CLK0 及延遲 CLK0 達 90 度之 CLK90，相異之處在只要兩個除頻電路 34 與 36，分別接收 CLK0 及 CLK90，來產生兩個除頻脈波於輸出端 A、B，再經過合成電路 38 一次倍



五、發明說明 (7)

頻作用下，在此例合成電路 38 為一互斥或閘 40，就可達到成圖 1 中必須由四個漣波計數器，產生四個除頻脈波且必須經過適當選擇下，及多個互斥或閘與或閘所形成之合成電路，所進行非整數除頻的效果。

上述，除頻電路 34 包含一前級電路 42、一中級電路 44 及一後級電路 46。前級電路 42 包含一升緣觸發脈波產生器 62 及一反或閘 64，反或閘 64 之第一輸入端與第二輸入端分別連接於升緣觸發脈波產生器 62 之輸出端 Q 與訊號輸入端 D；中級電路 44 包含一升緣觸發脈波產生器 66，其輸入端 D 連接於前級電路 42 中反或閘 64 之輸出端，而升緣觸發脈波產生器 66 之輸出端 Q 則係連接於前級電路 42 中升緣觸發脈波產生器 62 之訊號輸入端 D；後級電路 46 包含一降緣觸發脈波產生器 68 及一或閘 70，降緣觸發脈波產生器 68 之訊號輸入端 D 連接於中級電路 44 中升緣觸發脈波產生器 66 之輸出端 Q，或閘 70 之第一輸入端與第二輸入端分別連接降緣觸發脈波產生器 68 之輸出端 Q 與中級電路 44 中之升緣觸發脈波產生器 66 之輸出端 Q，而或閘 70 之輸出端則係用來輸出一對應之除頻脈波。上述升緣觸發脈波產生器 62、66 及降緣觸發脈波產生器 68 之脈波輸入端 CLK 皆接收 CLK0，同時由一 Reset 信號控制，但升緣觸發脈波產生器 62、66 為 CLK0 在上升邊緣時，且 Reset 信號為高準位時，將其訊號輸入端 D 之訊號傳至其輸出端 Q；至於降緣觸發脈波產生器 68 則是在 CLK0 在下降邊緣時，且 Reset 信號為高準位時，將其

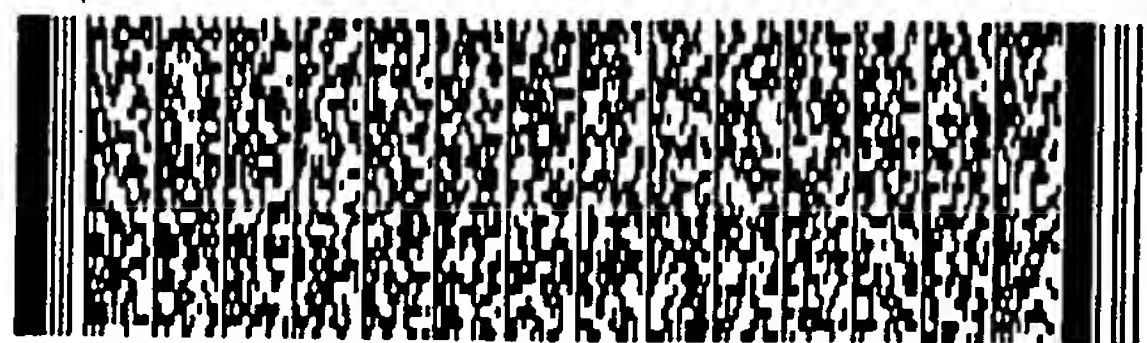
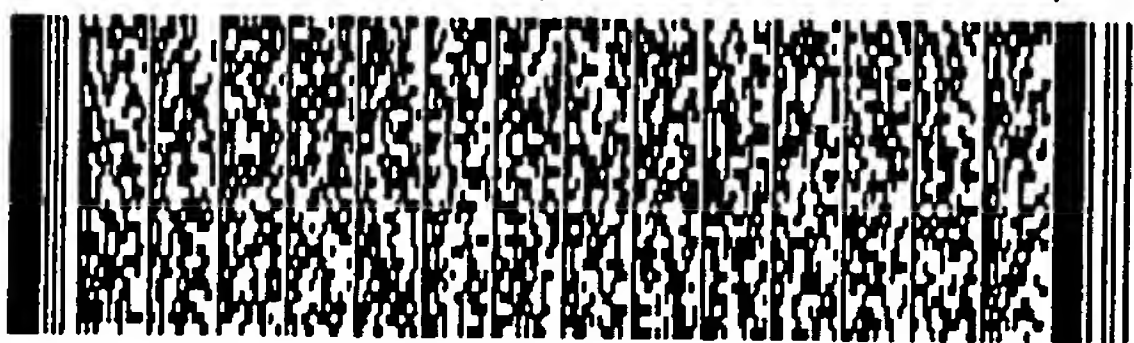


五、發明說明 (8)

訊號輸入端 D 之訊號傳至其輸出端 Q。

除頻電路 36 所包含之元件及其連接方式係相類似於除頻電路 34 內之元件及其連接方式，其不同點係在於：除頻電路 34 中之升緣觸發脈波產生器 62、66 及降緣觸發脈波產生器 68 之脈波輸入端 CLK 接收 CLK0，而除頻電路 36 中之降緣觸發脈波產生器 72、76 及升緣觸發脈波產生器 78 之脈波輸入端 CLK 接收 CLK90，此其一；除頻電路 34 中之前級電路 42 與中級電路 44 使用升緣觸發脈波產生器 62、66，而除頻電路 36 中之前級電路 52 與中級電路 54 使用降緣觸發脈波產生器 72、76，此其二；除頻電路 34 之後級電路 46 使用降緣觸發脈波產生器 68，而除頻電路 36 之後級電路 56 使用升緣觸發脈波產生器 78，此其三。

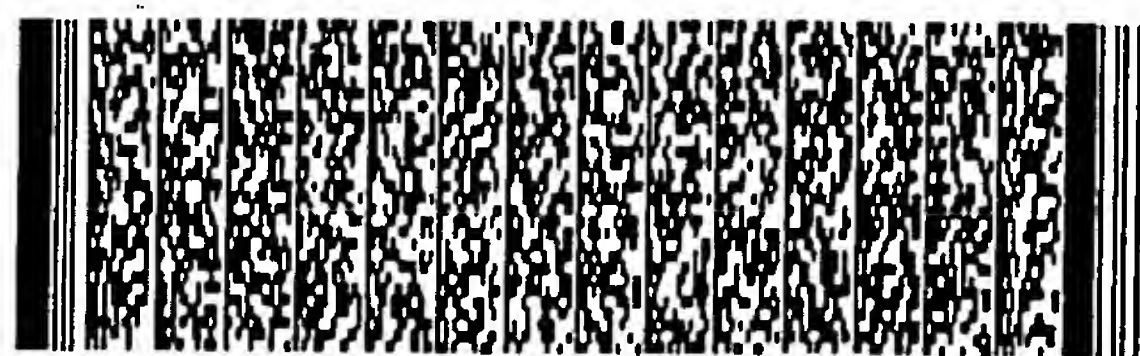
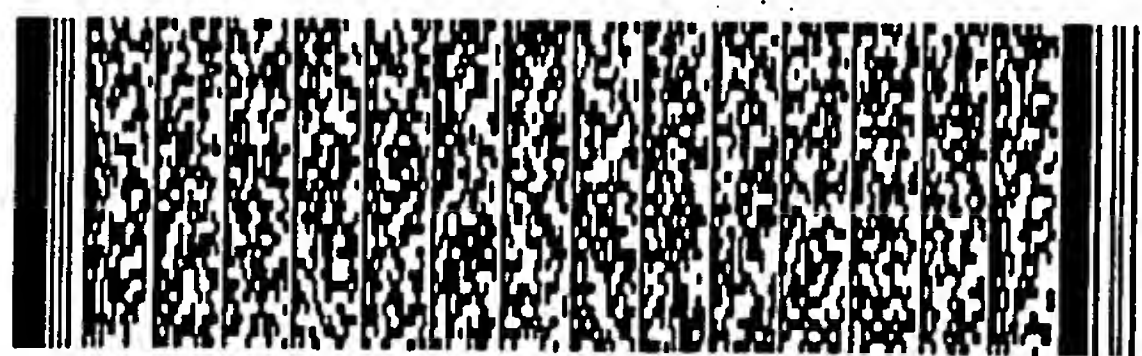
接著，我們以圖四說明第三圖非整數除頻器 30 於運作時脈波 CLK0、CLK90、除頻電路 34、36 之輸出端 A、B 之除頻脈波、及目標脈波之波形圖。由於要進行 1.5 倍的除頻效果，因此分別經由除頻電路 34、36 內部 3 個緣觸發脈波產生器作用，使得除頻電路 34、36 輸出端 A、B 輸出除頻脈波頻率係為 CLK0 之 $1/3$ 頻率（亦即除頻脈波之周期係三倍於 CLK0 之周期），此外，在 CLK0 及 CLK90 兩者相差 90 度之相位觸發下與除頻電路 34 與 36 內部 3 個緣觸發脈波產生器的不同組合下，在對應輸出端 A、B 輸出會輸出兩個相位差為 90 度且波形為 CLK0 三倍週期之除頻脈波。接著，合成電路 38



五、發明說明 (9)

利用一互斥或閘 40，將相位差維持 90 度兩個除頻脈波，合成於目標脈波，即進行週期減半 (頻率增倍) 作用，產生與 1.5 倍除頻的目標脈波。

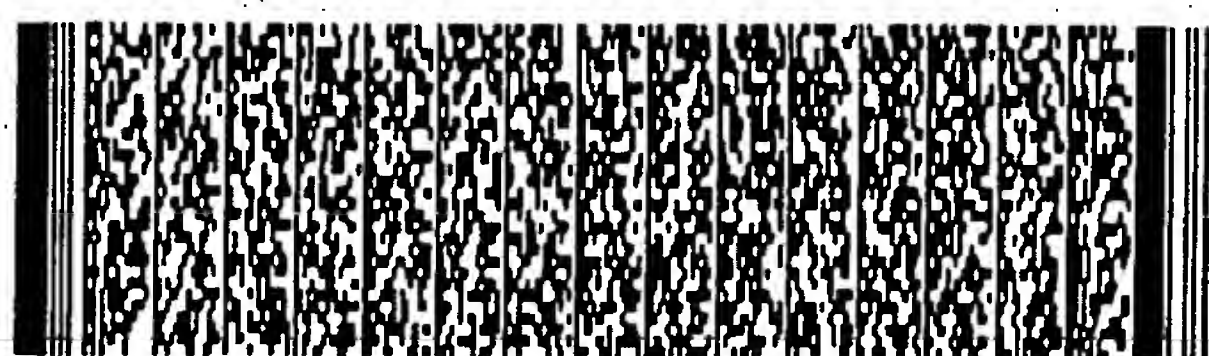
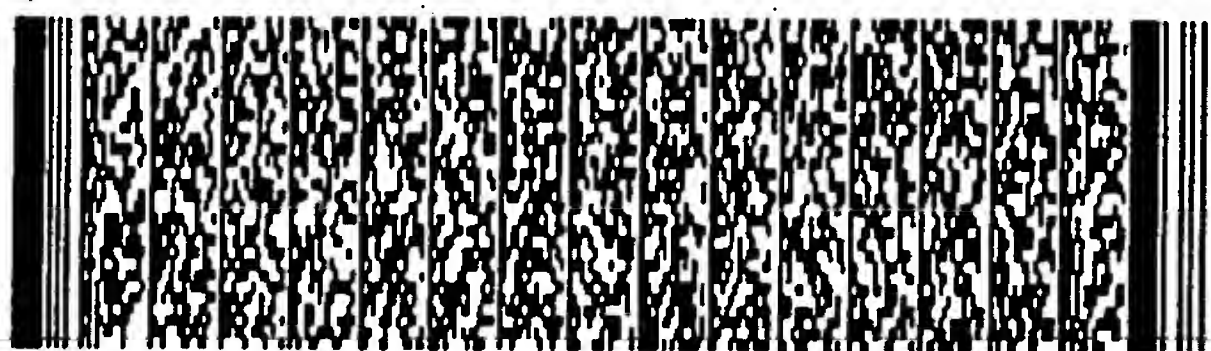
當然，上述 CLK0 及 CLK90 可代表由相移器 32 輸入時相同之原始脈波與延遲原始脈波 90 度之脈波，亦可透過適當選取產生具有 90 度相位差的兩個脈波，例如 CLK135 (延遲原始脈波 135 度) 與 CLK225 之組合，其最後產生的目標脈波與原先 CLK0 及 CLK90 產生之目標脈波之差異只有相位差。在此，圖三所示之非整數除頻器 30 中除頻電路 34 接收 CLK0 且之前級電路 42 與中級電路 44 包含之脈波產生器皆為升緣觸發脈波產生器，而其後級電路 46 包含之脈波產生器為降緣觸發脈波產生器，稱為一正除頻電路；反之，除頻電路 36 之前級電路 52 與中級電路 54 包含之脈波產生器皆為降緣觸發脈波產生器，而其後級電路 56 包含之脈波產生器為升緣觸發脈波產生器，稱為一負除頻電路。當然若除頻電路 36 設為一正除頻電路，則其結構相同於除頻電路 34，即前級電路 52 與中級電路 54 包含之脈波產生器 72 與 76 改成與緣觸發脈波產生器 62、66 相同的升緣觸發脈波產生器，而其後級電路 56 包含之脈波產生器 78 改成為與緣觸發脈波產生器 68 相同的降緣觸發脈波產生器，此時相移器 32 就必需產生另一脈波 CLK270 輸出到除頻電路 36，脈波 CLK270 係延遲於脈波 CLK0 達 270 度 (或謂領先脈波 CLK0 達 90 度、或謂反相於脈波 CLK90，即差 180 度於 CLK90)。由於與 CLK90 差 180 度，



五、發明說明 (10)

且正除頻電路與負除頻電路之觸發點取樣也相差 180 度，所以兩者效果相同。

接著，在第五圖繪示兩個進行 2.5 倍的除頻之非整數除頻器 100、200 結合下，進一步產生 1.25 倍的除頻之效果。在上部的非整數除頻器 100 架構類似於第三圖之非整數除頻器 30，包含一用來產生脈波 CLK0 及 CLK90 之相移器 102、產生二相對應除頻脈波的除頻電路 104、106、以及合成電路 108。其中，合成電路 108 與相移器 102 與第 3 圖中對應結構相同功能亦相同，於此不再贅述。所不同在除頻電路 104、106，由於兩者皆採用正除頻電路架構，所以兩者包含前級電路 112、122 之緣觸發脈波產生器 113 與 123 皆為升緣觸發脈波產生器，後級電路 116、126 之緣觸發脈波產生器 117 與 127 皆為降緣觸發脈波產生器，至於中級電路 114、124 之設計上有比較大的差異，其中，中級電路 114 為一初始值設高準位之升緣觸發脈波產生器 (Initial set high rising edge trigger) 152 與初始值設低準位之升緣觸發脈波產生器 (Initial set low rising edge trigger) 154 串聯，而中級電路 124 則是直接串聯兩個初始值設低準位之升緣觸發脈波產生器 156 與 158，其中初始值設高準位之升緣觸發脈波產生器 152 會將其訊號輸入端 D 上之訊號傳送至其輸出端 Q，而在下面對應的初始值設低準位之升緣觸發脈波產生器 156 則會因初始值設低準位，所以會延遲一個週期才啟動，如第六圖中輸出端 A 與 B 之輸出

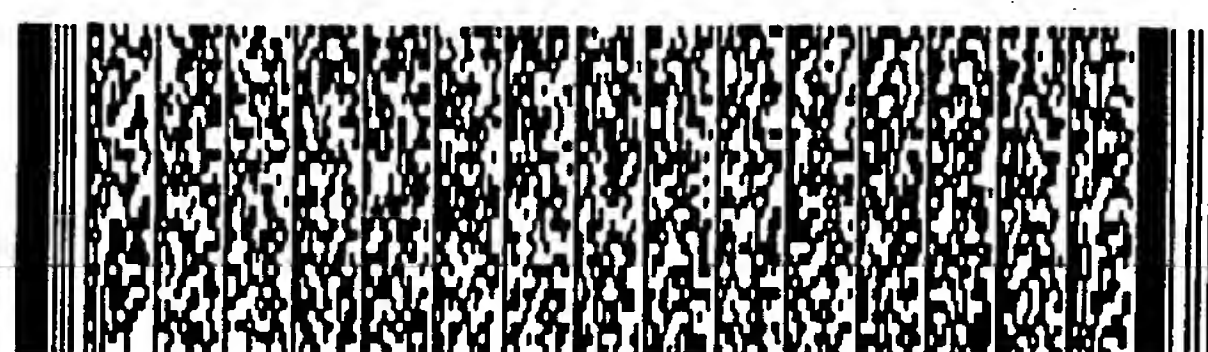


五、發明說明 (11)

波形與 CLK0及 CLK90可以看出，除頻電路 104、106採用正除頻電路架構下，輸出端 A與 B之輸出波形由 0變 1時皆在 CLK0及 CLK90上升邊緣產生，這與第 4圖中輸出端 A與 B之輸出波形由 0變 1時，CLK0取上升邊緣而 CLK90取下降邊緣產生（第 3圖使用一正除頻電路與一負除頻電路）不同，此外在第六圖中，B之輸出波形由 0變 1時，因中級電路 124之緣觸發脈波產生器 156初始值設低準位所以會延遲一個週期才啟動，所以不會在 CLK90第一個上升邊緣產生，而是延後一個週期 H點才產生 B之輸出波形由 0變 1。

第五圖下面的 2.5 倍的除頻之非整數除頻器 200，代表參考時脈不一定要限制 CLK0與 CLK90，且可同時變化成負除頻電路（當然也可以將其中任一改成正除頻電路的組合），由於在此我們希望設計出 2.5 再除頻成為 1.25 倍的效果，所以我們選擇 CLK45與 CLK135以負除頻電路方式，使得第六圖輸出端 C與 D之輸出波形變化點（0變 1或 1變 0），正好落於輸出端 A與 B之輸出波形變化點的中間，因此輸出端 A與 B之輸出波形經 XOR 160作用產生 2.5 倍除頻，與輸出端 C與 D之輸出波形經 XOR 170作用產生 2.5 倍除頻，再經另一個 XOR 202作用下便可產生 1.25 倍除頻的效果。

由上兩個實施例，我們可以歸納出非整數除頻器設計方法，當要產生另一目標脈波之頻率為原始脈波之頻率的 $n.5$ 倍，其中 n 為整數，我們必須先對原始脈波之頻率進行

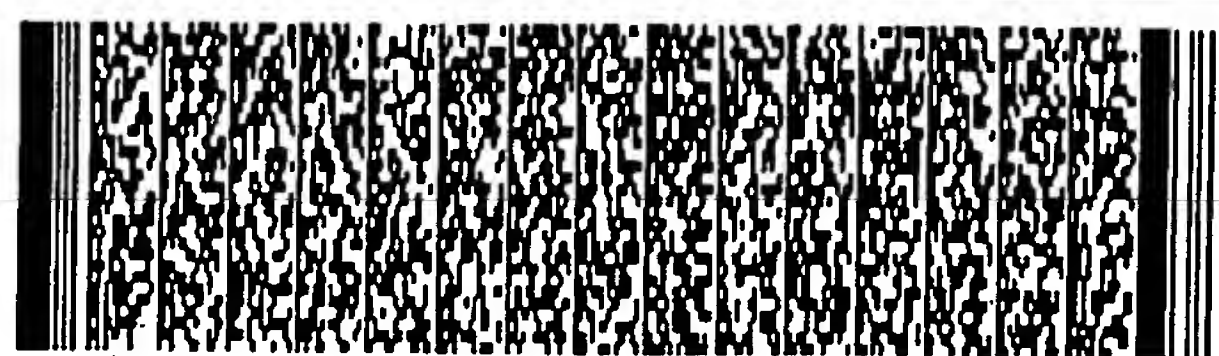
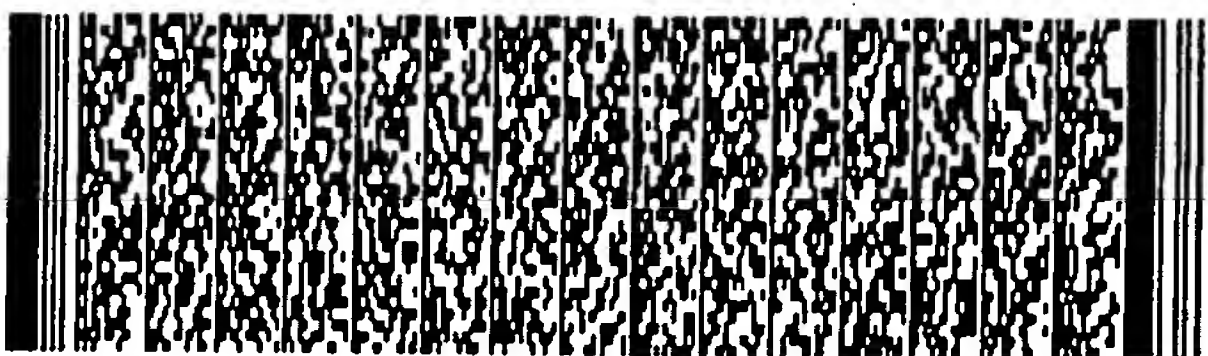


五、發明說明 (12)

$2n+1$ 除頻，並適當選擇兩個不同相位差之脈波，以適當正/負除頻電路的串接之正/降緣觸發脈波產生器種類與個數，產生兩個除頻脈波輸出到合成電路，進行週期減半(頻率增倍)作用，就可產生 $n.5$ 倍除頻的目標脈波。

如第七圖所示本發明之非整數除頻器設計流程圖。首先，在步驟 502時，根據所要的 $n.5$ 倍頻率之目標脈波，來設定除頻大小 $N=2*(n.5)=2n+1$ ，以第五圖之 2.5 倍頻來說 $N=2*2.5=5$ ，接著，在步驟 504、508方式中設計一組以 CLK0為基準的正除頻電路與其對應之另一除頻電路所構成非整數除頻器電路，或由步驟 512、516方式來設計另一組非整數除頻器電路，其中步驟 504中，因設計一組以 CLK0為基準，一般設計上皆取 CLK0為上升(正)緣為取樣的正除頻電路，配合步驟 508與 510方式中另一除頻電路有兩種(正/負)除頻電路之不同變化，當然我們也可對 CLK0為下降(負)緣為取樣的負除頻電路，只是一般設計上不會再多浪費半個週期時間，至於步驟 512、516方式來設計另一組非整數除頻器電路因不限定以 CLK0為基準的兩個可任為正/負除頻電路的方式，所以其設計之方式具有 4種變化。

首先，由步驟 504設計第一種除頻電路，以原始脈波相同之 CLK0上升緣部分作為觸發緣輸入到除頻器內，接著在步驟 506設定為正除頻電路，以形成第一除頻電路，以第五圖來說即除頻電路 104接收第一時脈 CLK0，並選擇正除頻



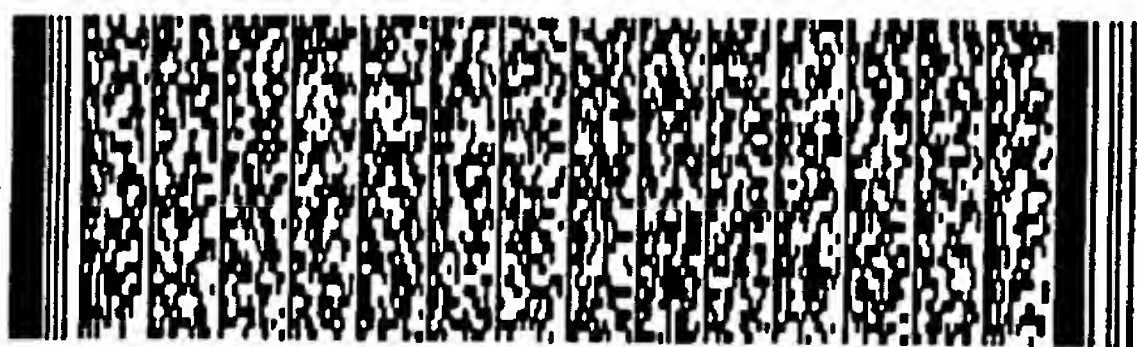
五、發明說明 (13)

電路方式，即前級電路 112 之緣觸發脈波產生器 113 與中級電路 114 之緣觸發脈波產生器 152、154 選擇升緣觸發脈波產生器，後級電路 116 之緣觸發脈波產生器 117 為降緣觸發脈波產生器，同時設定中級電路 114 之緣觸發脈波產生器 152 與 154 分別為初始值設高準位之升緣觸發脈波產生器與初始值設低準位之升緣觸發脈波產生器，由於初始值設低準位之升緣觸發脈波產生器會延遲一個週期才啟動，所以一般在 CLK0 為基準時只有在中級電路最後一個緣觸發脈波產生器才會設計成初始值設低準位之升緣觸發脈波產生器，前面 $n-1$ 個緣觸發脈波產生器則不需再延遲，所以設計成初始值設高準位之升緣觸發脈波產生器，在第五圖為除 2.5 ($n=2$)，所以只有一個 ($2-1=1$) 初始值設高準位之升緣觸發脈波產生器 152。

接著，設計第二種除頻電路，在步驟 508 時要計算異相脈波之觸發相位，即計算與 CLK0 要保持多少相位差之第二時脈，才能在後面的合成電路上產生頻率倍增的效果，同時在步驟 510 決定選取正/負除頻電路，此部份會影響到異相脈波之觸發相位 (相差 180 度)，在此一併說明如下，首先異相脈波之觸發相位可根據公式

$$(360 \times N \div 2 \div 2) / 360 = k.m \text{ (Cycle)},$$
$$k \text{ 為整數部分, } m \text{ 為小數部分,}$$

若取正除頻電路，則觸發相位 $R = 360 * 0.m$ ， $s=k$ (s 為中級電路最後一個緣觸發脈波產生器外，前面 $n-1$ 個緣觸發脈波產生器中，初始值設低準位之緣觸發

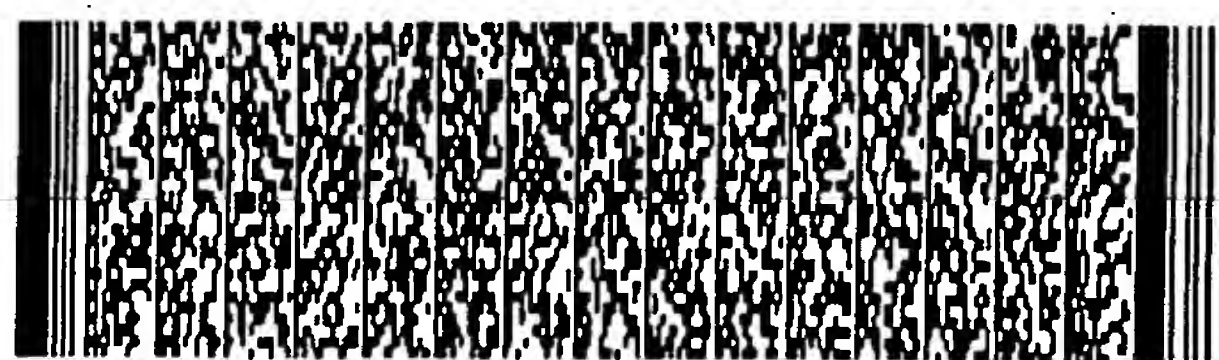


五、發明說明 (14)

脈波產生器的個數)，反之若取負除頻電路，使用降緣觸發脈波產生器，則觸發相位 $F=180+R$ ，若 $F>360$ 則 $F=F-360$ ； $s=k$ ，若 $F<360$ ，則 $F=F$ ； $s=k-1$ ，如以第五圖之除頻電路 106 來印證，觸發相位由公式：

$(360 \times 5 \div 2 \div 2) / 360 = 1.25$ ，所以 $k = 1$ 、 $m = 25$ ，除頻電路 106 取正除頻電路下觸發相位 $R = 360 \times 0.25 = 90$ ， $s=k=1$ ，所以選取異相脈波 CLK90 作為驅動除頻電路 106 之驅動脈波，同時中級電路 124 使用一個初始值設低準位之緣觸發脈波產生器 156，並配合中級電路 124 最後一個的緣觸發脈波產生器 158，反之若除頻電路 106 取負除頻電路下（圖 5 未顯示） $F=180+R(90)=270$ ，又因為 $F=270<360$ ， $s=k-1=1-1=0$ ，因此與下面除頻電路 172 相同，只有中級電路最後一個為初始值設低準位之緣觸發脈波產生器，且為降緣觸發方式，所不同在選取異相脈波 CLK270(F) 作為驅動除頻電路 106 之驅動脈波。上述從步驟 504 與步驟 508 都會進入步驟 520 中，來分別形成第一與二種除頻電路，以合成電路（例如第五圖中一個 XOR 閘 160 作用）產生 $n.5$ 倍的除頻效果。

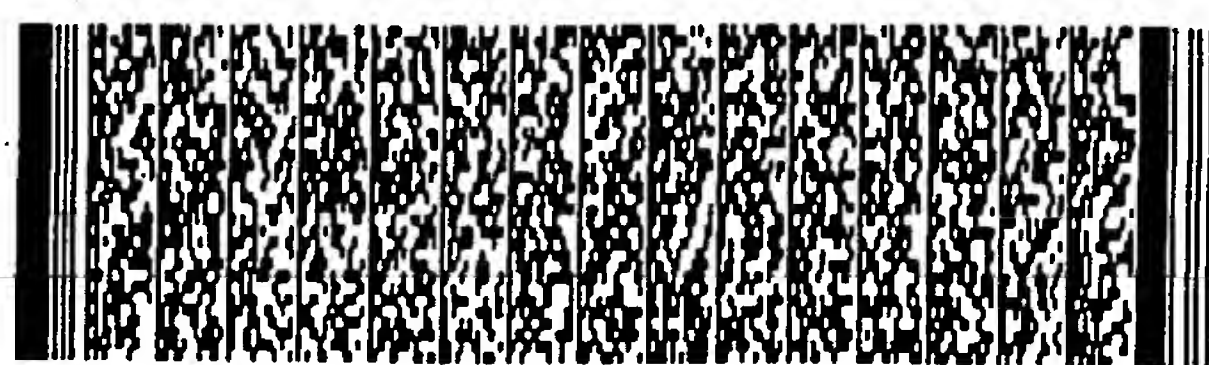
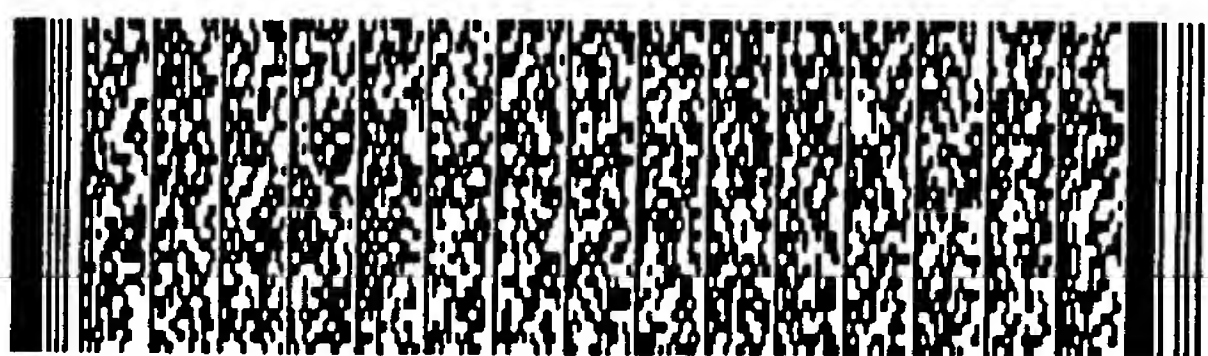
接著，在步驟 512 我們可設定任何非 CLK0 之異相脈波之觸發相位，並在步驟 514 選擇正除頻電路或負除頻電路來完成第三除頻電路，並在步驟 516 根據步驟 512 之觸發相位來算出要保持多少相位差之觸發相位，才能在後面的合成電路上產生頻率倍增的效果，接著在步驟 518 下亦可同時選擇正除頻電路或負除頻電路來完成第四除頻電路，因此在



五、發明說明 (15)

這一組可有四種不同變化之結合，在此以第五圖下面除頻電路 172 選取異相脈波 CLK45 作為驅動脈波為例，異相脈波 CLK45 之選取係依據 $(90 \times n.5) / 360 = k.m$ ； $360 \times 0.m = R$ (升緣觸發)， $s=k$ ，而 $180+R=F$ (降緣觸發)；若 $F > 360$ ，則 $F = F - 360$ ，且 $s = k$ ，否則， $F = F$ ，且 $s = k-1$ ，其中 s 及 k 之意義同上，其中 $n=2$ (除頻為 2.5)，驅動脈波之觸發相位為 $(90 \times 2.5) / 360 = 0.625$ ，所以 $k=0$ 、 $m=625$ 、 $R=360 \times 0.625=225$ 、以及 $F=180+225(R)=405$ ， F 超過 360 修正為 $405-360=45$ ，同時使得 $s=k=0$ ，在此除頻電路 172 為一負除頻電路，因此選取異相脈波 CLK45 (F ，同相於異相脈波 CLK405) 作為驅動除頻電路 172 之驅動脈波，又因為 $F(405) > 360$ ， $s=k=0$ ，所以除頻電路 172 之中級電路 174 中緣觸發脈波產生器 175 與 176 分別為初始值設高準位之降緣觸發脈波產生器與初始值設低準位之降緣觸發脈波產生器。當然，除頻電路 172 亦可為一正除頻電路，對應地，驅動除頻電路 172 之驅動脈波就必需為升緣觸發，因此選取異相脈波 CLK225 (R) 作為驅動除頻電路 172 之驅動脈波，加上 $s=K=0$ ，所以圖形相同於圖五上面的除頻電路 104，唯一不同之處在選取異相脈波 CLK225 而非 CLK0。

接著，步驟 516 與步驟 518 設計第四除頻電路，首先步驟 516 根據對應步驟 512 來選取異相脈波之觸發相位，以第五圖最下面除頻電路 180 為例，異相脈波 CLK135 之選取係依據 $(90 \times n.5 + 360 \times N \div 2 \div 2) / 360 = (90 \times 2.5 + 360 \times 5 \div 2 \div 2)$



五、發明說明 (16)

2)/360 $k.m = 1.875$ ，所以 $k=1$ 、 $m=875$ 、 $R=360*0.875=315$ 、以及 $F=315+180=495$ ， F 超過360，修正為 $495-360=135$ ，同時使得 $s=k=1$ ，在此除頻電路180為一負除頻電路，因此選取異相脈波 CLK135(F，同相於異相脈波 CLK495)作為驅動除頻電路136之驅動脈波，另外 $s=k=1$ ，使得中級電路182使用一個初始值設低準位之降緣觸發脈波產生器184，並配合中級電路182最後一個的緣觸發脈波產生器186(亦為初始值設低準位之降緣觸發脈波產生器)。當然，除頻電路180亦可為一正除頻電路，對應地，就必需為升緣觸發，因此選取異相脈波 CLK315(R)作為驅動除頻電路180之驅動脈波，對應地，驅動除頻電路180之驅動脈波就必需為升緣觸發，因此選取異相脈波 CLK315(R)作為驅動除頻電路180之驅動脈波，加上 $s=K=1$ ，所以圖形相同於圖5上面的除頻電路104，唯一不同之處在選取異相脈波 CLK315而非 CLK0。

上述第一與第二除頻電路於步驟520可合成成為目標脈波(例如2.5或其他非整數 $n.5$ 之除頻效果)，第三與第四除頻電路於步驟530合成成為目標脈波，接著在步驟540再以另一合成電路(例如一互斥或閘)就可將步驟520及530所分別產生之目標脈波進一步除頻，例如兩個 $\text{div}2.5$ 及 $\text{div}2.5p$ 合成成為一另一除頻為 $1.25(2.5/2)$ 的目標脈波。由於步驟510、514及518也可選擇性地選取正除頻電路或負除頻電路，所以本發明之非整數除頻器可有 $2 \times 2 \times 2 = 8$ 種不同的

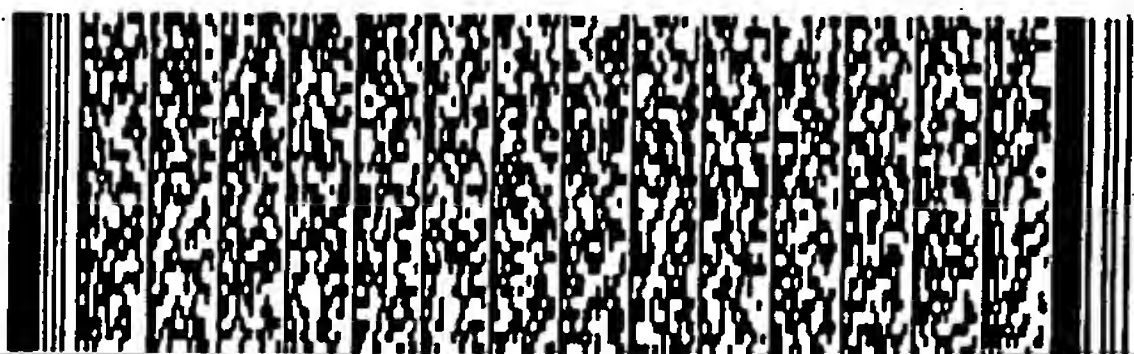


五、發明說明 (17)

組合方式。

為了更清楚說明第七圖之本發明之非整數除頻器設計流程圖，在此以第八圖之本發明之另一非整數除頻器實施例之電路圖作說明。非整數除頻器 801 可將原始脈波除頻成一目目標脈波，該原始脈波之頻率係 3.75 倍於該目標脈波之頻率。非整數除頻器 801 包含一用來依據該原始脈波產生四個相位互異之驅動脈波之相移器 802、以及四個分別依據第七圖之本發明之非整數除頻器設計流程所產生之除頻電路（由上至下依序排列於圖 8 中）804、806、808 及 810。為了方便說明起見，在本實施例中所使用的四個除頻電路皆為正除頻電路。

首先，我們要產生 3.75 倍頻率之目標脈波，必須先設計兩組 7.5 倍頻率之目標脈波，因此如步驟步驟 502、504 及 506 中， $N=2*(7.5)=15$ ，除頻脈波係驅動於同相脈波 CLK0，除頻電路 804 之中級電路係包含最後一個緣觸發脈波產生器 820 設計成初始值設低準位之升緣觸發脈波產生器，以及前面 $6(n-1=7-1=6)$ 個設計成初始值設高準位之升緣觸發脈波產生器，形成第一組除頻電路 804，接著步驟 502、508 及 510，除頻電路 806 係驅動於異相脈波 CLK270（異相脈波 CLK270 之選取係依據 $(360 \times 15 \div 2 \div 2) / 360 = 3.75$ ， $s=k=3$ （由於除頻電路 806 為一正除頻電路），而 $m=75$ ； $360 \times 0.75 = 270(R)$ ），由於 $s=k=3$ ，所以除頻電路 806 之中級電路中有



五、發明說明 (18)

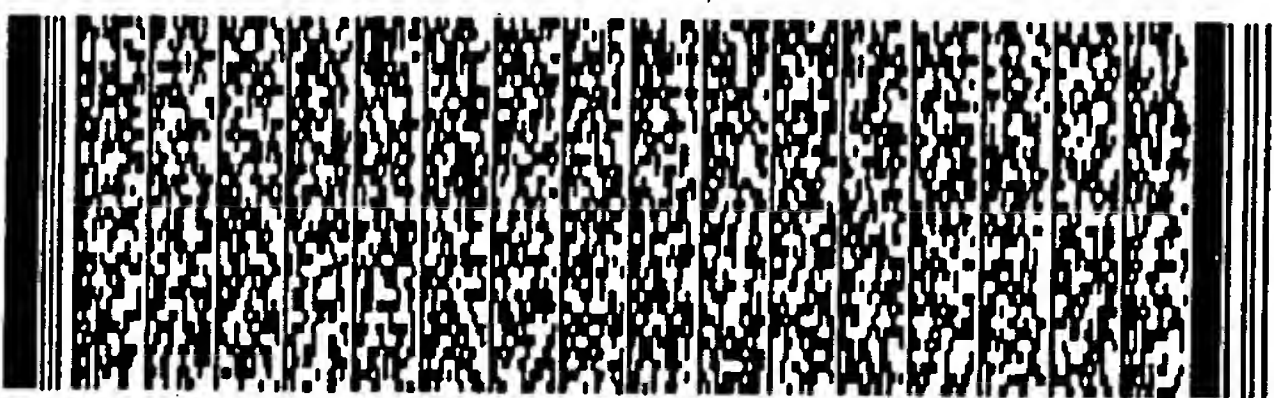
三個初始值設高準位之升緣觸發脈波產生器被替換成初始值設低準位之升緣觸發脈波產生器，加上最後一個初始值設低準位之升緣觸發脈波產生器，形成前面三個初始值設高準位之升緣觸發脈波產生器與後面四個初始值設低準位之升緣觸發脈波產生器。

接著，步驟 502、512 及 514，於第八圖除頻電路 808 係驅動於異相脈波 CLK315 (異相脈波 CLK315 之選取係依據

$(90 \times 7.5) / 360 = 1.875$ ， $s=k=1$ (由於除頻電路 808 為一正除頻電路)，而 $m=875$ ； $360 \times 0.875 = 315(R)$)，由於 $s=k=1$ ，

所以除頻電路 808 之中級電路中有一個初始值設高準位之升緣觸發脈波產生器被替換成初始值設低準位之升緣觸發脈波產生器，加上最後一個初始值設低準位之升緣觸發脈波產生器，形成前面五個初始值設高準位之升緣觸發脈波產生器與後面二個初始值設低準位之升緣觸發脈波產生

器。相同步驟 502、516 及 518 中，除頻電路 810 係驅動於異相脈波 CLK225 (異相脈波 CLK225 之選取係依據 $(90 \times 7.5 + 360 \times 15 \div 2 \div 2) / 360 = 5.625$ ， $s=k=5$ (由於除頻電路 810 為一正除頻電路)，而 $m=625$ ； $360 \times 0.625 = 225(R)$)，由於 $s=k=5$ ，所以除頻電路 810 之中級電路中有五個初始值設高準位之升緣觸發脈波產生器被替換成初始值設低準位之升緣觸發脈波產生器，加上最後一個初始值設低準位之升緣觸發脈波產生器，形成前面一個初始值設高準位之升緣觸發脈波產生器與後面六個初始值設低準位之升緣觸發脈波產生



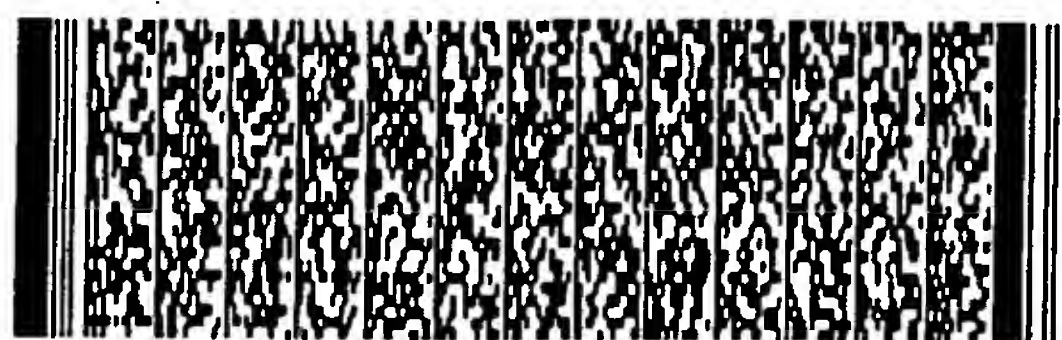
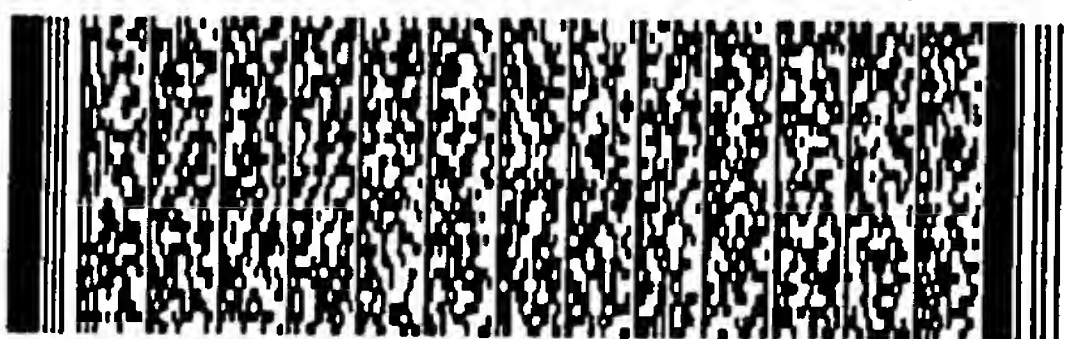
五、發明說明 (19)

器。

上述四組除頻電路產生 15 倍頻率之目標脈波，經三個互斥或閘 812、814 及 816，分別用來將除頻電路 804 及 806 之輸出端上之除頻脈波 A 及 B 合成成為一目標脈波 $\text{div}7.5$ ，該原始脈波之頻率係 7.5 倍於目標脈波 $\text{div}7.5$ 之頻率、用來將除頻電路 808 及 810 之輸出端上之除頻脈波 C 及 D 合成成為一目標脈波 $\text{div}7.5p$ ，該原始脈波之頻率亦係 7.5 倍於目標脈波 $\text{div}7.5p$ 之頻率、以及用來將互斥或閘 812 及 814 所分別合成之目標脈波 $\text{div}7.5$ 及 $\text{div}7.5p$ 合成成為該目標脈波，該原始脈波之頻率係 3.75 倍於該目標脈波之頻率。

相較於習知非整數除頻器，本發明之非整數除頻器需為數較少之正反器，就可產生與習知技術相同之功效，因此，本發明之非整數除頻器具有體積小及成本低之優點。此外，由於對於任何一除頻倍數而言，本發明之非整數除頻器皆有 8 種不同的除頻電路結構，所以本發明之非整數除頻器具有較大的製作彈性。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一非整數除頻器之電路圖。

圖二為圖一所顯示之非整數除頻器於運作時所產生之波形圖。

圖三為本發明之較佳實施例中一非整數除頻器之電路圖。

圖四為圖三所顯示之非整數除頻器於運作時所產生之波形圖。

圖五為本發明之第二實施例中一非整數除頻器之電路圖。

圖六為圖五所顯示之非整數除頻器於運作時所產生之波形圖。

圖七為本發明設計一非整數除頻器的方法之流程圖。

圖八為本發明之第三實施例中一非整數除頻器之電路圖。

圖式之符號說明

10、30、100、200、230、801 非整數除頻器

12、32、102、132、802 相移器

14、16、18、20 連波計數器

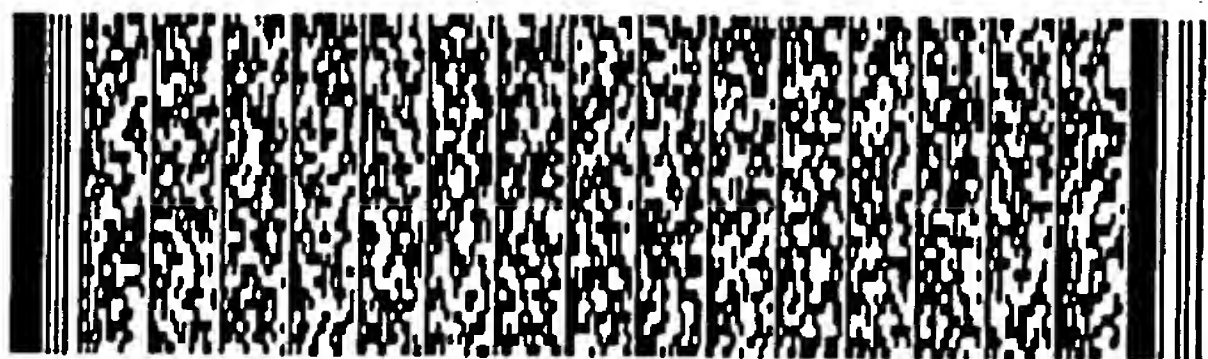
22、38、108 合成電路

24、26、40、160、170、202、812、814、816 互斥或閘

42、52、112、122 前級電路

44、54、114、124、174、182 中級電路

46、56、116、126 後級電路



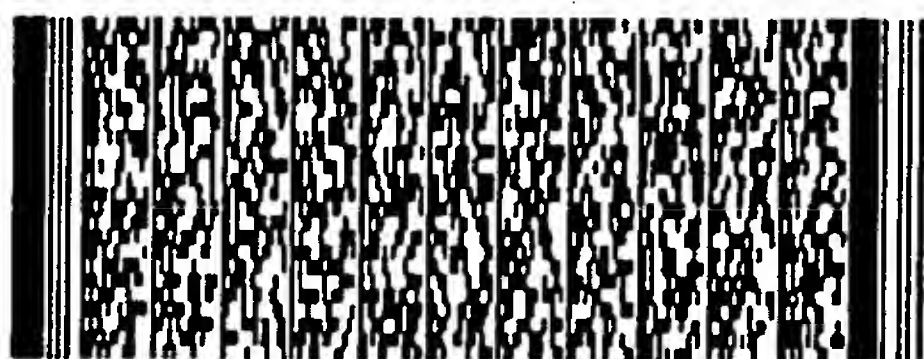
圖式簡單說明

62、66、68、72、76、78、113、117、123、127、152、
154、156、158、175、176、184、186 脈波產生器

64、74 反或閘

28、70、80、140、150 或閘

34、36、104、106、172、180、804、806、808、810 除
頻電路



六、申請專利範圍

1. 一種除頻器，將一原始脈波以一除頻倍率 M 來除頻成一目標脈波，該 M 為一正奇數，該除頻器包含：

一前級電路，其包含：

一第一脈波產生器，其脈波輸入端係連接於與該原始脈波頻率相同且具有一觸發相位之一觸發脈波；以及

一第一邏輯閘，其第一輸入端係連接於該第一型脈波產生器之輸出端、而第二輸入端係連接於該第一型脈波產生器之訊號輸入端；

一中級電路，其包含：

一第二脈波產生器，其脈波輸入端係連接於該觸發脈波；以及

$M-1$ 個串接之第一組脈波產生器，每一第一組脈波產生器之脈波輸入端皆係連接於該觸發脈波，該 M 個第一組脈波產生器中最前之脈波產生器之訊號輸入端係連接於該前級電路之第一邏輯閘之輸出端，而該 M 個第一組脈波產生器中最後之脈波產生器之輸出端係連接於該中級電路之第二脈波產生器之訊號輸入端；以及

一後級電路，其包含：

一第三脈波產生器，其脈波輸入端係連接於該觸發脈波、而訊號輸入端係連接於該中級電路之第二型脈波產生器之輸出端；以及

一第二邏輯閘，其第一輸入端係連接於該後級電路之第三脈波產生器之輸出端、第二輸入端係連接於該中級電路之第二脈波產生器之輸出端、而輸出端係用來輸出該目標脈



六、申請專利範圍

波。

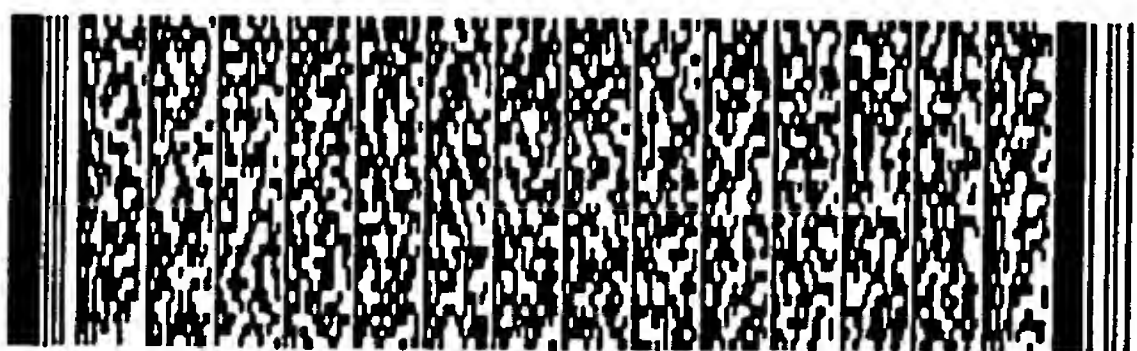
2.如申請專利範圍第1項所述之除頻器，其中該前級電路之第一脈波產生器及該中級電路之第二脈波產生器及M個第一組脈波產生器皆為升緣觸發脈波產生器，而該後級電路之第三脈波產生器則為降緣觸發脈波產生器。

3.如申請專利範圍第1項所述之除頻器，其中該前級電路之第一脈波產生器及該中級電路之第二脈波產生器及M-1個第一組脈波產生器皆為降緣觸發脈波產生器，而該後級電路之第三型脈波產生器則為升緣觸發脈波產生器。

4.如申請專利範圍第1項所述之除頻器，其中該觸發相位為0度，即該觸發脈波相同於該原始脈波。

5.如申請專利範圍第4項所述之除頻器，其中該前級電路之第一脈波產生器、該中級電路之第二脈波產生器、及該後級電路之第三脈波產生器為初始值設低準位之脈波產生器，而該中級電路之M-1個第一組脈波產生器為初始值設高準位之脈波產生器。

6.如申請專利範圍第1項所述之除頻器，其中該第一邏輯閘為反或閘，第二邏輯閘為或閘。



六、申請專利範圍

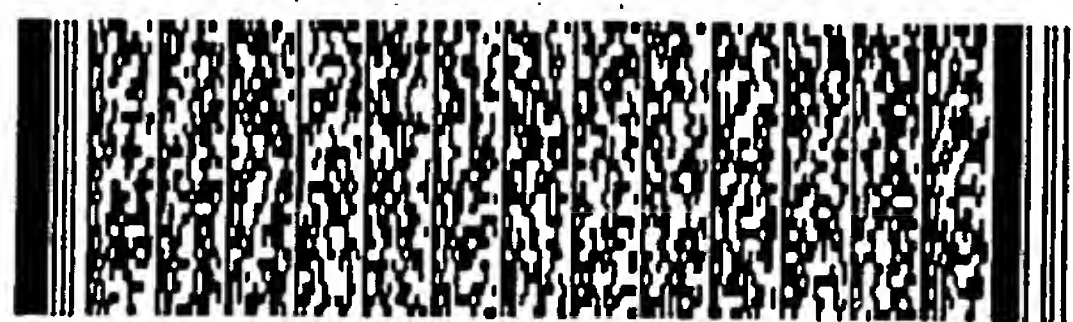
7. 一種非整數除頻器，用來將一原始脈波除頻成一目目標脈波，該原始脈波之頻率係 $n.5$ 倍於該目標脈波之頻率，包含：

一相移器，用來依據該原始脈波產生一第一脈波及一第二脈波；

一第一除頻電路，接收該第一脈波，經內部依序串聯之一第一前級電路、一第一中級電路以及一第一後級電路作用下，產生一第一目標脈波，其中該第一前級電路包括一第一脈波產生器與一第一邏輯閘構成，該第一中級電路包括一第二脈波產生器、 k 個串接之第一組脈波產生器 ($k \geq 0$)、 $(n-k_1-1)$ 個串接之第二組脈波產生器 ($n-k_1-1 \geq 0$)，其中該 k 係根據 n 與該第一脈波之一觸發相位決定，該第一後級電路包括一第三脈波產生器與一第二邏輯閘構成；

一第二除頻電路，接收該第二脈波，經內部依序串聯之一第二前級電路、一第二中級電路以及一第二後級電路，產生一第二目標脈波，其中該第二前級電路包括一第四脈波產生器與一第三邏輯閘構成，該第二中級電路包括一第五脈波產生器、 k 個串接之第三組脈波產生器 ($k \geq 0$)、 $(n-k_2-1)$ 個串接之第四組脈波產生器 ($n-k_2-1 \geq 0$)，其中該 k_2 係根據 n 與該第二脈波之一觸發相位決定，該第二後級電路包括一第六脈波產生器與一第四邏輯閘構成；以及

一合成電路，根據該第一目標脈波及該第二目標脈波，產生該目標脈波輸出。



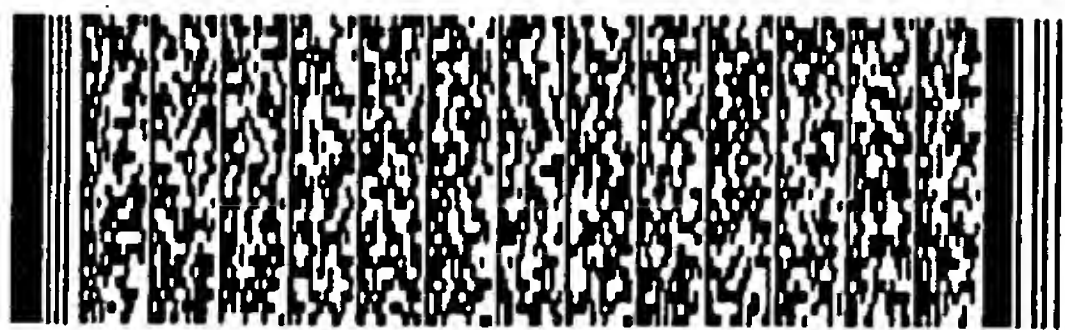
六、申請專利範圍

8. 如申請專利範圍第7項所述之非整數除頻器，其中該第一脈波產生器、第二脈波產生器、 k 個串接之第一組脈波產生器、 $(n-k_1-1)$ 個串接之第二組脈波產生器皆為升緣觸發脈波產生器，該第三脈波產生器則為降緣觸發脈波產生器。

9. 如申請專利範圍第7項所述之非整數除頻器，其中該第一脈波產生器、第二脈波產生器、 k 個串接之第一組脈波產生器、 $(n-k_1-1)$ 個串接之第二組脈波產生器皆為降緣觸發脈波產生器，該第三脈波產生器則為升緣觸發脈波產生器。

10. 如申請專利範圍第7項所述之非整數除頻器，其中該第四脈波產生器、第五脈波產生器、 k 個串接之第三組脈波產生器、 $(n-k_2-1)$ 個串接之第四組脈波產生器皆為升緣觸發脈波產生器，該第六脈波產生器則為降緣觸發脈波產生器。

11. 如申請專利範圍第7項所述之非整數除頻器，其中該第四脈波產生器、第五脈波產生器、 k 個串接之第三組脈波產生器、 $(n-k_2-1)$ 個串接之第四組脈波產生器皆為降緣觸發脈波產生器，該第六脈波產生器則為升緣觸發脈波產生器。

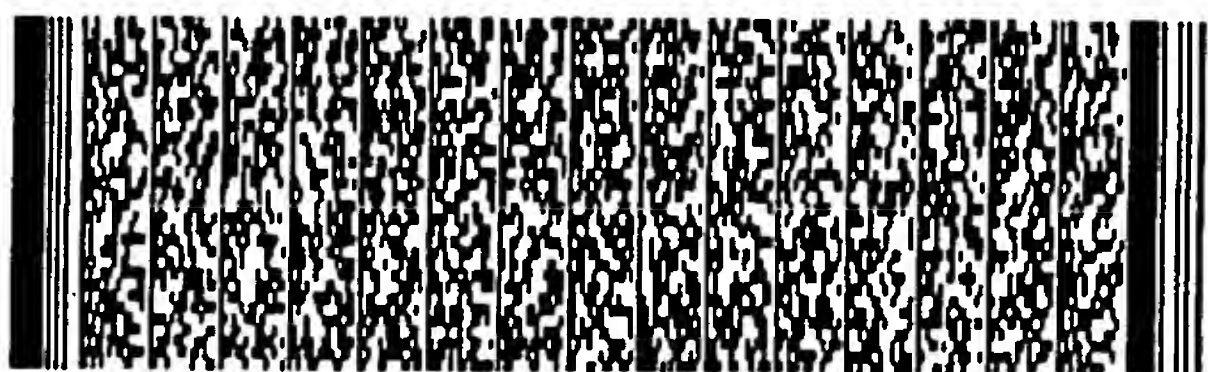


六、申請專利範圍

12. 如申請專利範圍第7項所述之非整數除頻器，其中該第一中級電路之第二脈波產生器，其脈波輸入端連接該第一脈波，每一 k 個串接之第一組脈波產生器之脈波輸入端皆連接第一脈波， k 個第一組脈波產生器中最後之脈波產生器之輸出端連接於第二脈波產生器之訊號輸入端，每一 $(n-k_1-1)$ 個串接之第二組脈波產生器之脈波輸入端皆連接第一脈波，最前之第二組脈波產生器之訊號輸入端連接於該第一邏輯閘之輸出端，最後之第二組脈波產生器之輸出端係連接於最前之該 k 個第一組脈波產生器之訊號輸入端。

13. 如申請專利範圍第12項所述之非整數除頻器，其中該第二脈波產生器與 k 個串接之第一組脈波產生器係為初始值設低準位之脈波產生器， $(n-k_1-1)$ 個串接之第二組脈波產生器為初始值設高準位之脈波產生器。

14. 如申請專利範圍第7項所述之非整數除頻器，其中該第二中級電路之第五脈波產生器，其脈波輸入端連接該第二脈波，每一 k 個串接之第三組脈波產生器之脈波輸入端皆連接第二脈波， k 個第一組脈波產生器中最後之脈波產生器之輸出端連接於第五脈波產生器之訊號輸入端，每一 $(n-k_2-1)$ 個串接之第四組脈波產生器之脈波輸入端皆連接第二脈波，最前之第四組脈波產生器之訊號輸入端連接於該第三邏輯閘之輸出端，最後之第四組脈波產生器之輸出



六、申請專利範圍

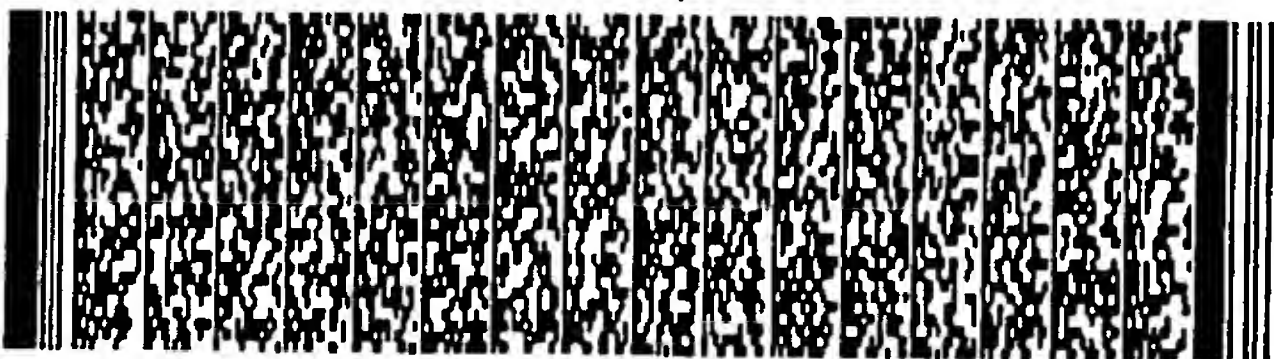
端係連接於最前之該 k 個第三組脈波產生器之訊號輸入端。

15. 如申請專利範圍第 14 項所述之非整數除頻器，其中該第五脈波產生器與 k 個串接之第三組脈波產生器係為初始值設低準位之脈波產生器， $(n-k_2-1)$ 個串接之第四組脈波產生器為初始值設高準位之脈波產生器。

16. 如申請專利範圍第 7 項所述之非整數除頻器，其中該合成電路係由一 XOR 閘構成。

17. 如申請專利範圍第 7 項所述之非整數除頻器，其中該第一前級電路的第一脈波產生器，其脈波輸入端連接於該第一脈波，該第一邏輯閘為一反或閘，其第一輸入端係連接第一脈波產生器之訊號輸入端，該第一後級電路之第三脈波產生器，其脈波輸入端連接第一脈波，訊號輸入端連接中級電路之一第二脈波產生器之輸出端，該第二邏輯閘為一或閘，其第一輸入端連接第三脈波產生器之輸出端，第二輸入端連接第一中級電路之第二脈波產生器之輸出端，輸出端產生該第一目標脈波。

18. 如申請專利範圍第 7 項所述之非整數除頻器，其中該第二前級電路之第四脈波產生器，其脈波輸入端連接於該

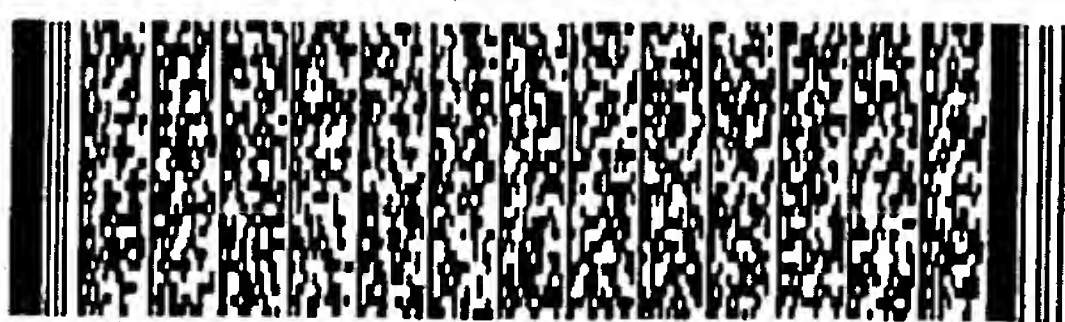


六、申請專利範圍

連產，電，連第
係波器級閘端該
端脈生中或入生
入四產二一輸產
輸第波第為二端
一接脈接閘第出
第連六連輯，輸
其端第端邏端，
，入的入四出端
閘輸路輸第輸出
或二電號該之輸
反第級訊，器之
一，後，端生器
為端二波出產生
閘出第脈輸波產
輯輸該二之脈波
邏之，第器六脈
三器端接生第五
第生入連產接第
該產輸端波連之。
，波號入脈端路波
波脈訊輸五入電脈
脈四之波第輸級標
二第器脈之一中目
第接生其路第接一

[illegible]

20. 如申請專利範圍第19項所述之除頻器設計之方法，其



六、申請專利範圍

中該觸發相位與該調整觸發相位介於 0 到 360 度之間。

21. 一種非整數除頻器設計之方法，將一原始脈波以一 $n.5$ 倍除頻來形成一目標脈波，包括下列步驟：

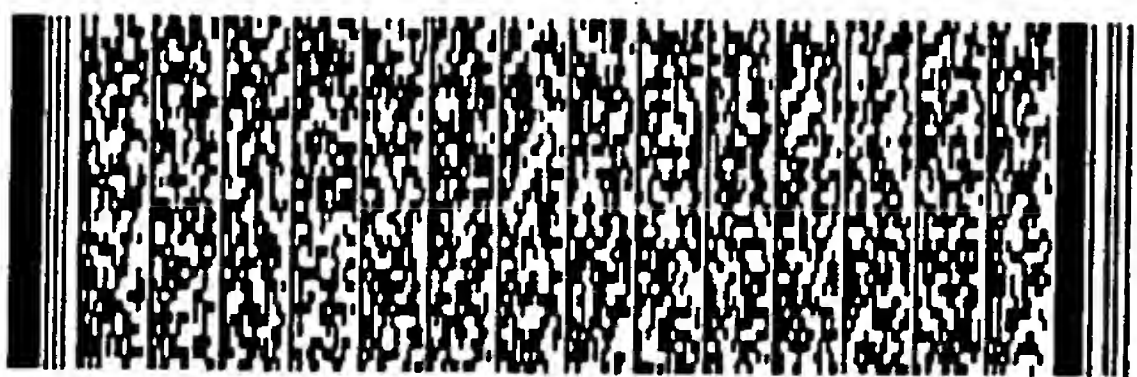
界定一除頻倍率為 $n.5 \times 2$ ；

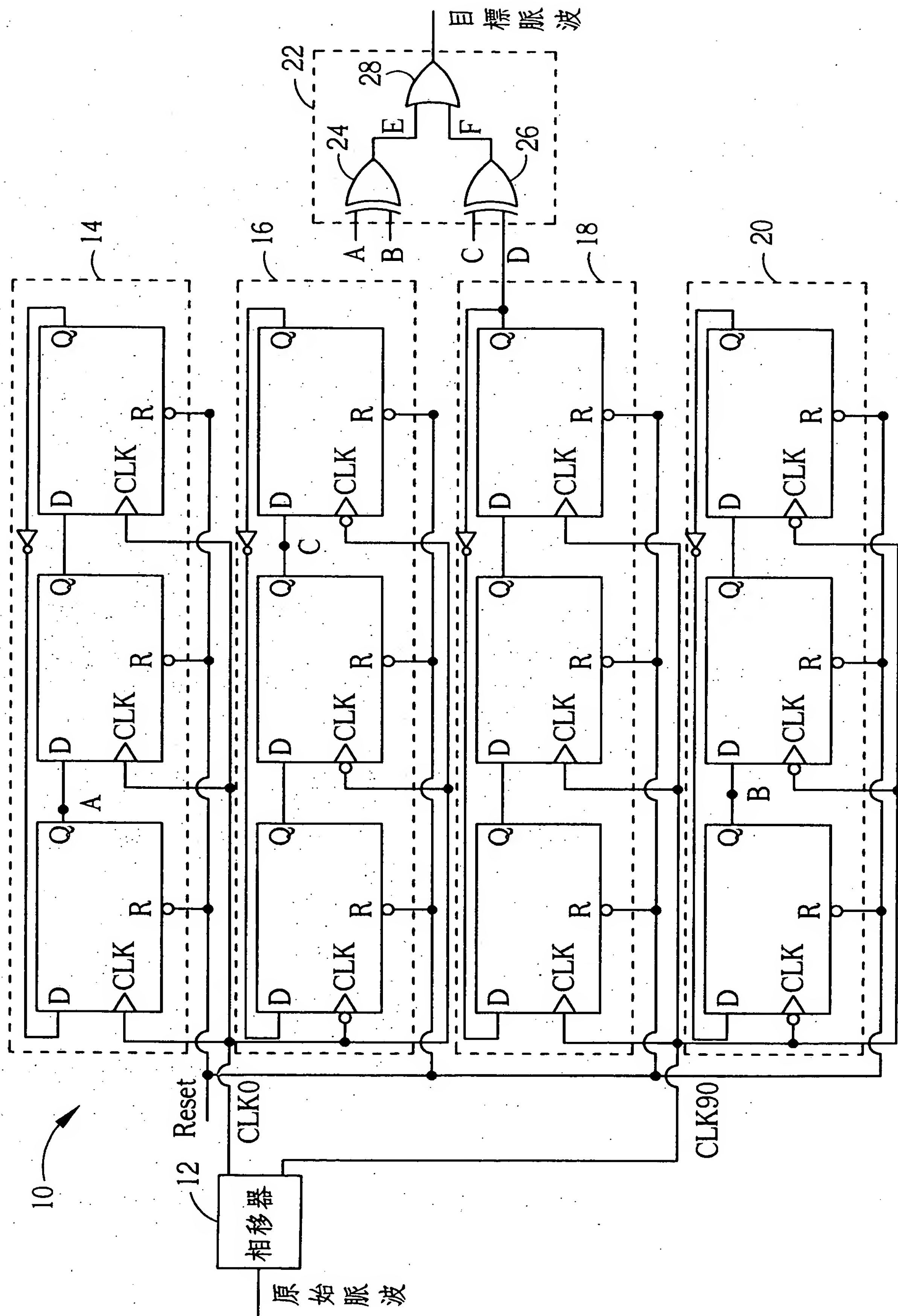
根據該除頻倍率，產生對應該原始脈波之一第一觸發相位與一第二觸發相位；

以該第一觸發相位與該除頻倍率，選擇一正除頻電路或一負除頻電路方式，並決定該正除頻電路或負除頻電路內一部之複數個脈波產生器之初始值設定方式，以產生一第一目標脈波；

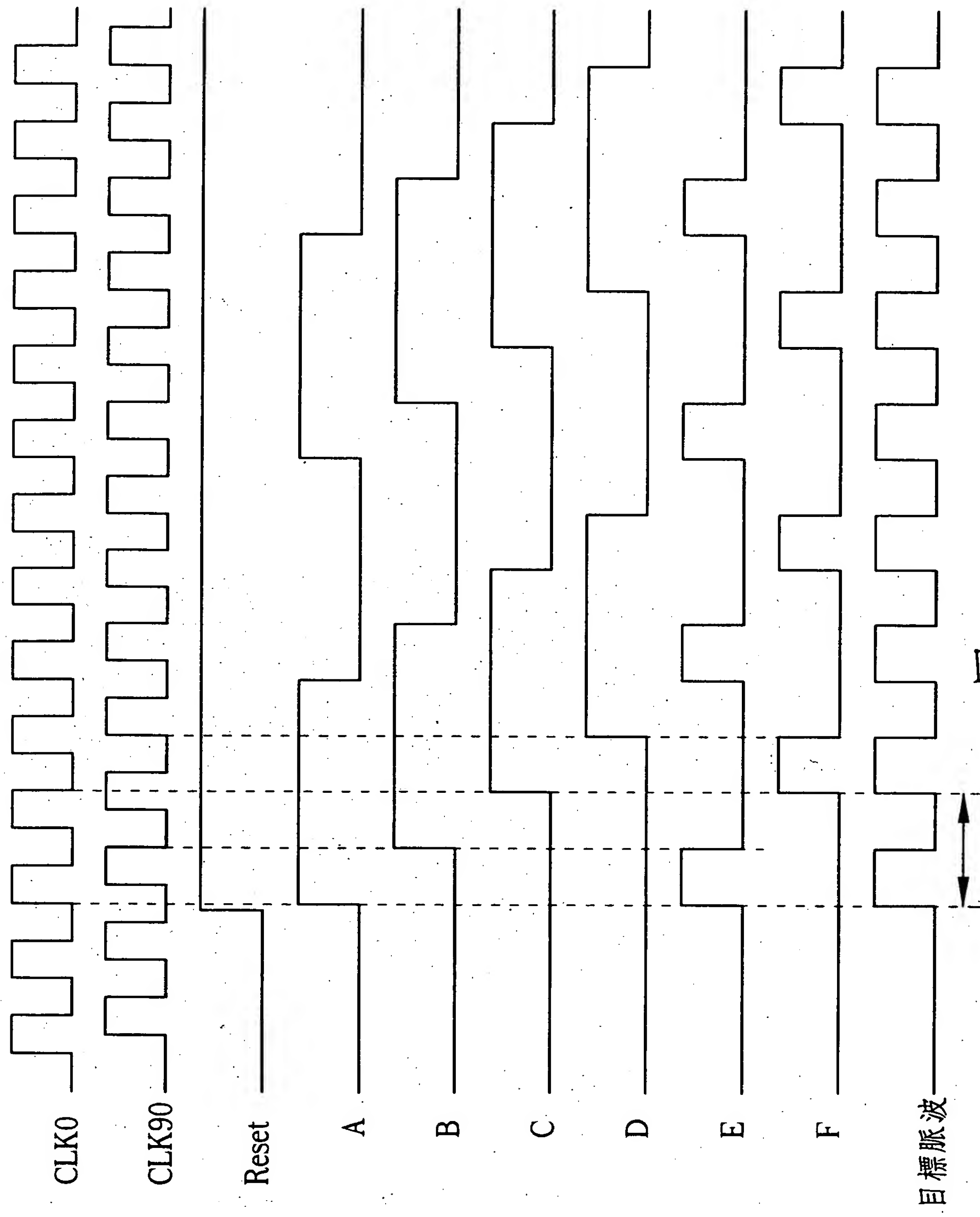
以該第二觸發相位與該除頻倍率，選擇一正除頻電路或一負除頻電路方式，並決定該正除頻電路或負除頻電路內一部之複數個脈波產生器之初始值設定方式，以產生一第二目標脈波；以及

根據該第一目標脈波與該第二目標脈波，產生該目標脈波。

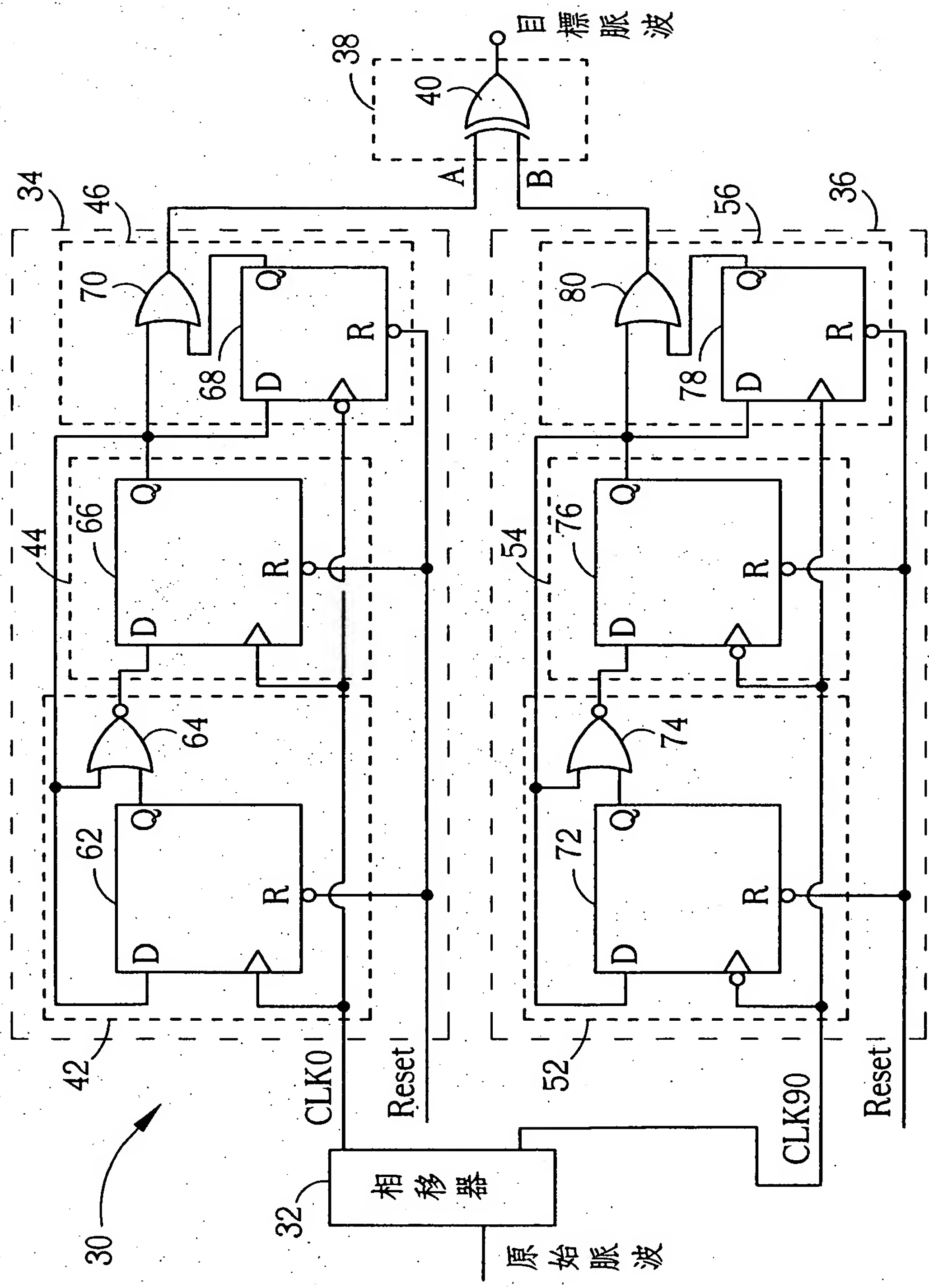




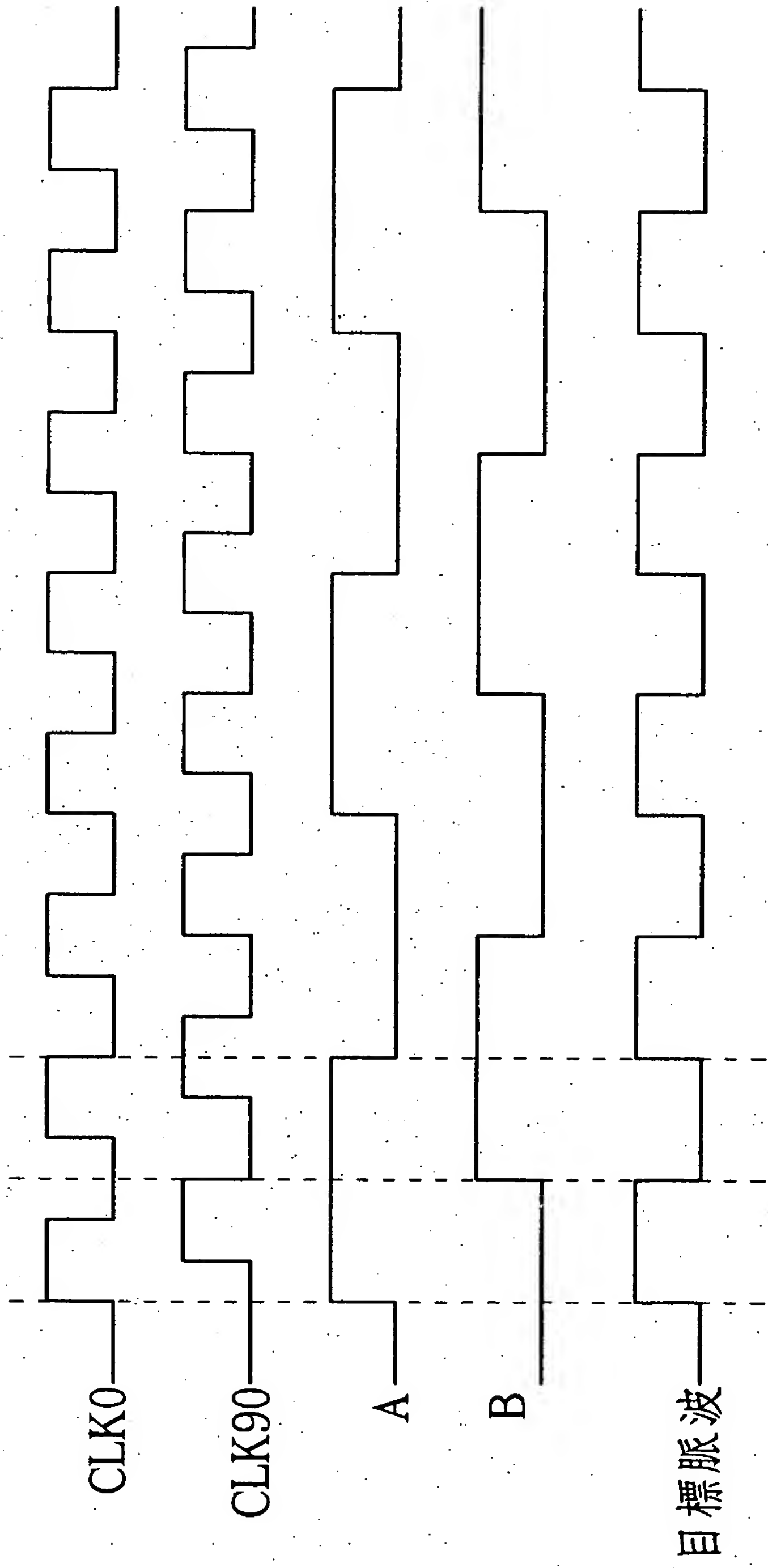
圖一



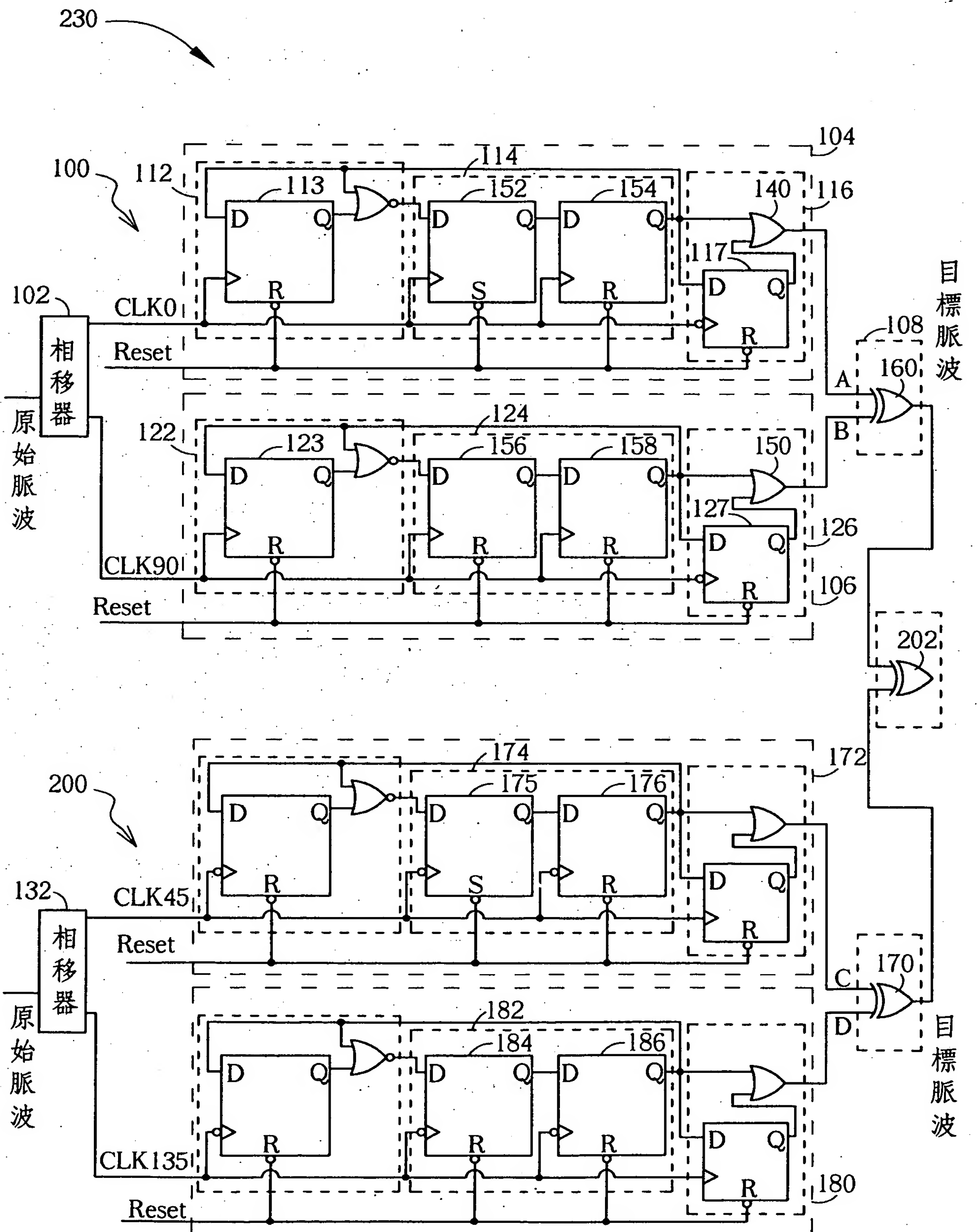
圖二



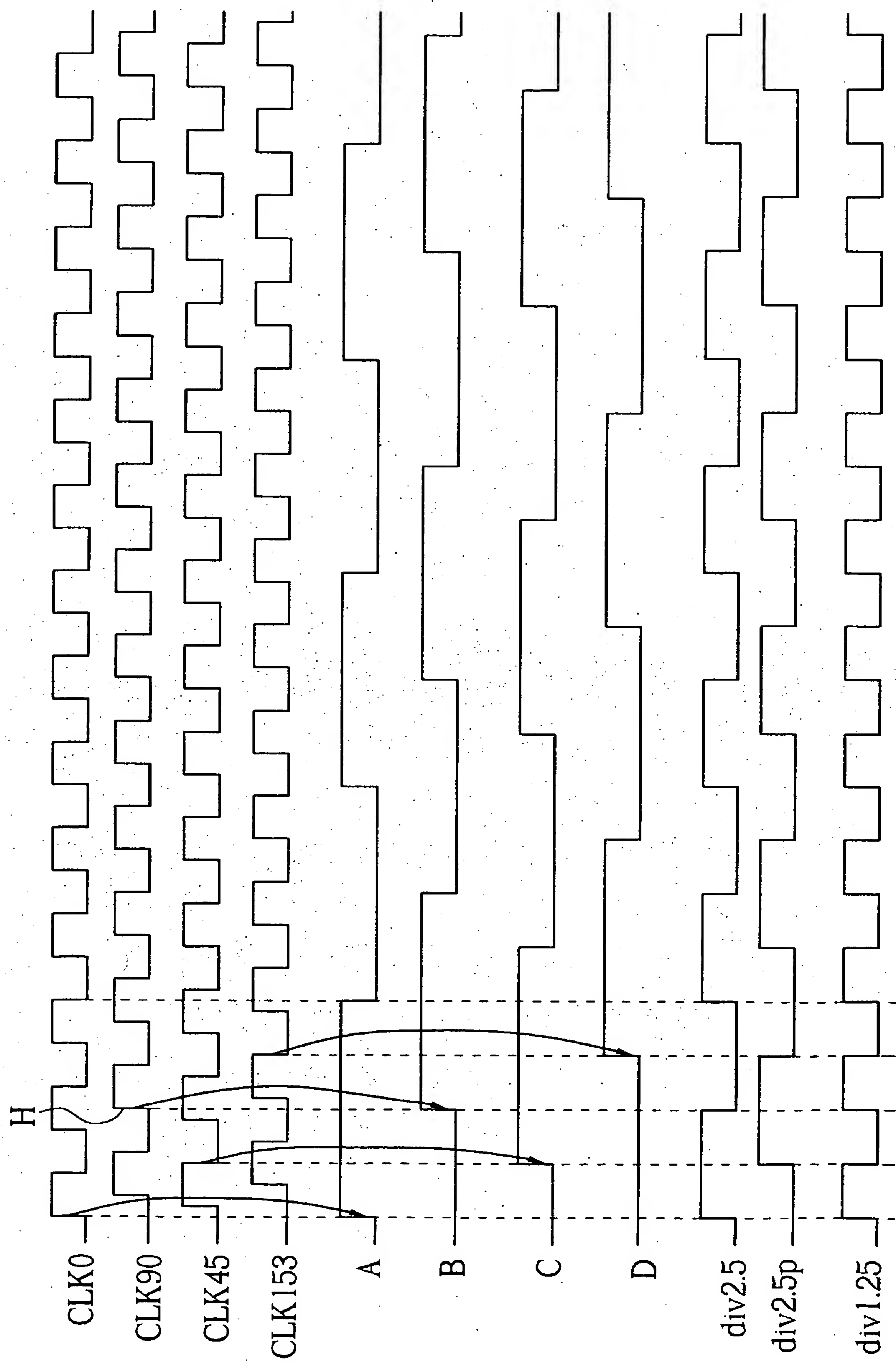
圖三



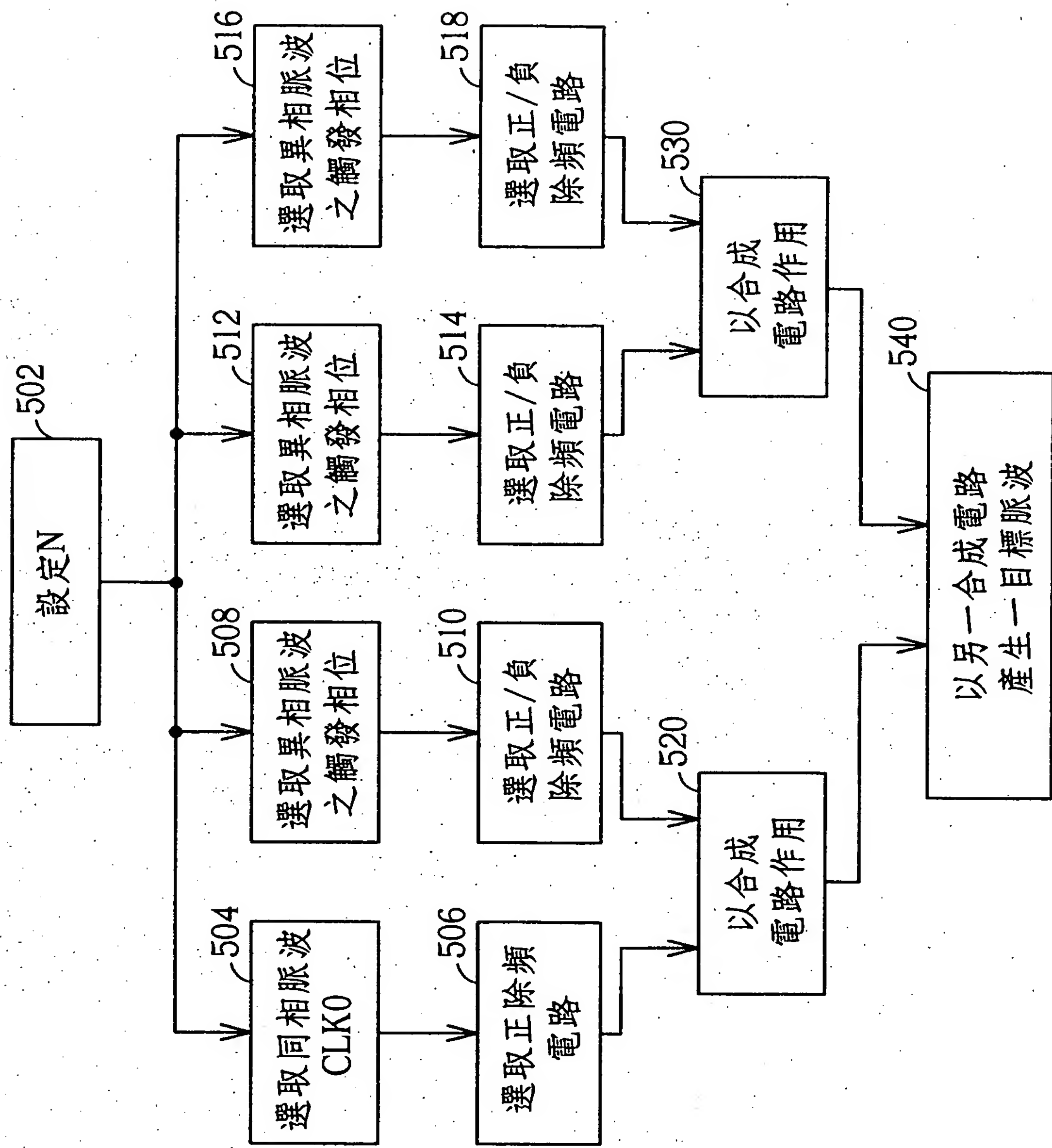
圖四



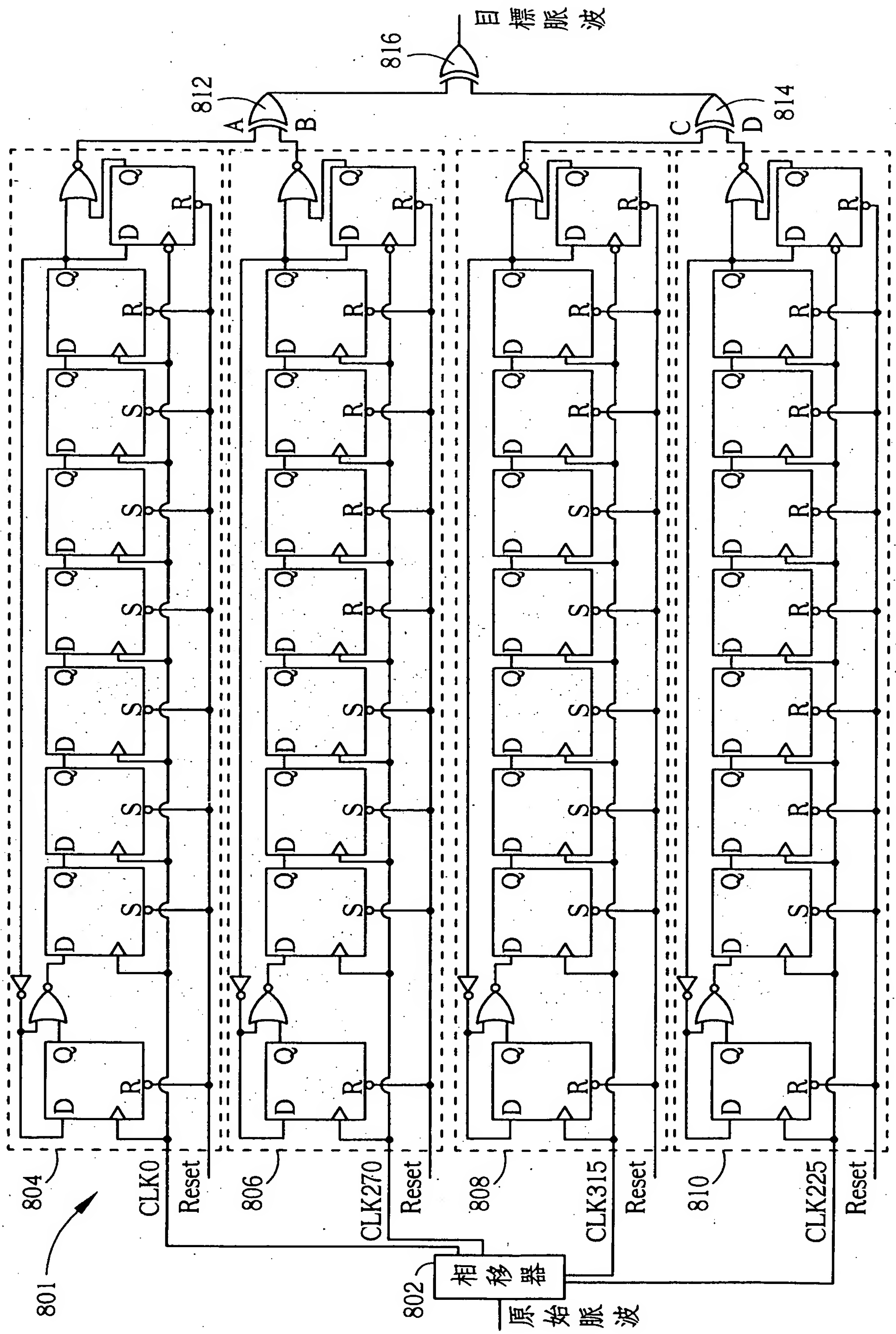
圖五



圖六

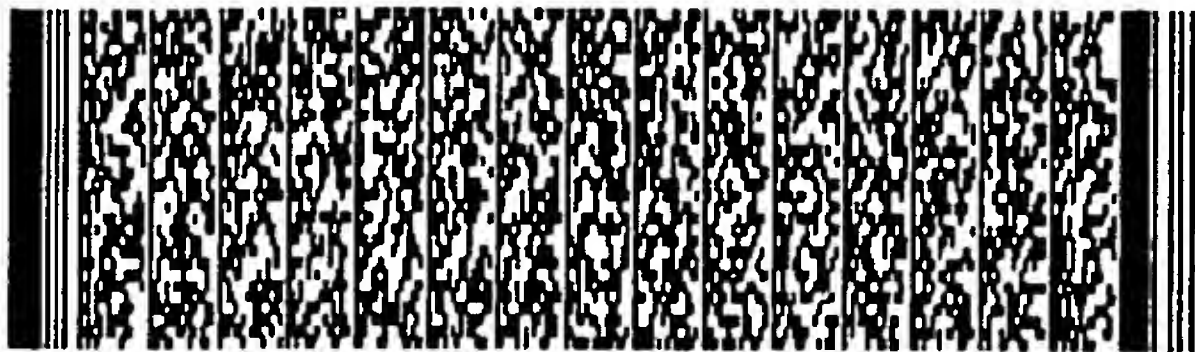


圖七

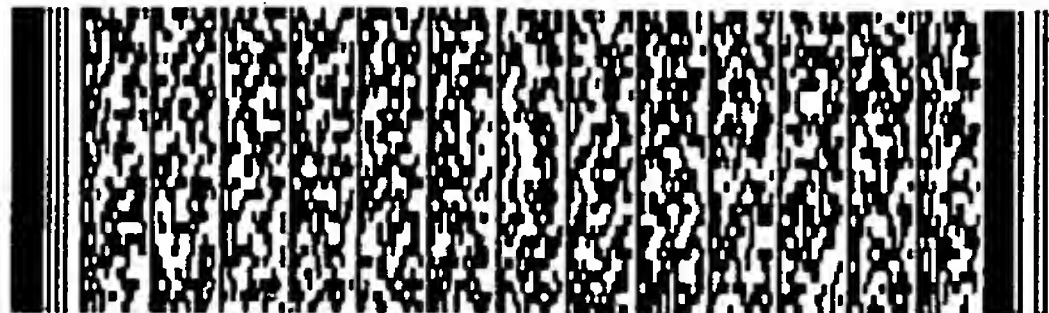


圖八

第 1/34 頁



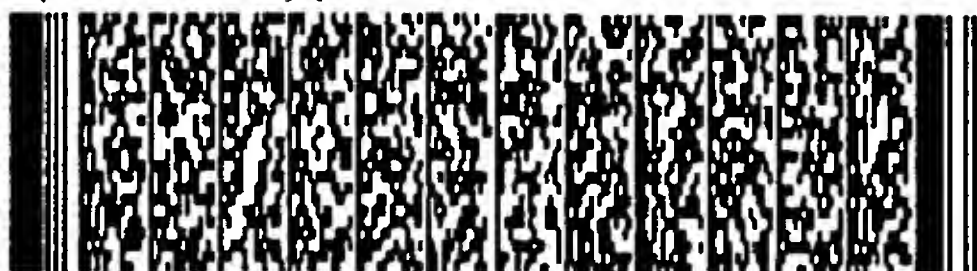
第 2/34 頁



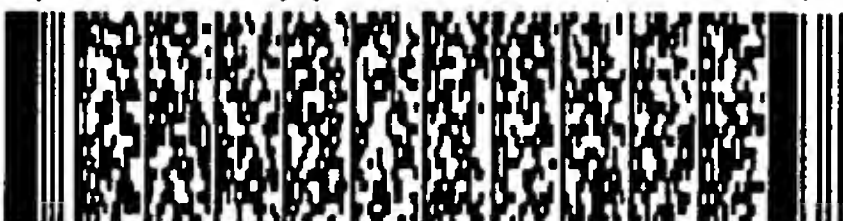
第 2/34 頁



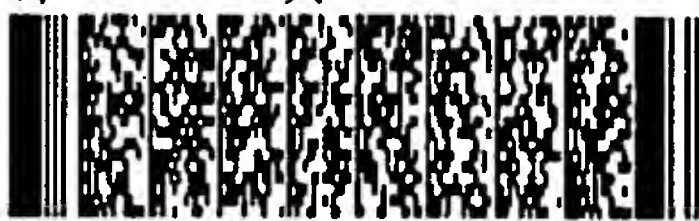
第 3/34 頁



第 4/34 頁



第 5/34 頁



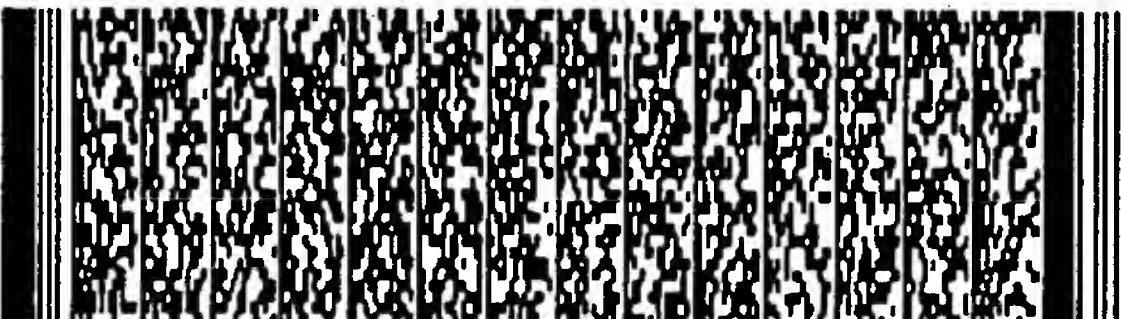
第 6/34 頁



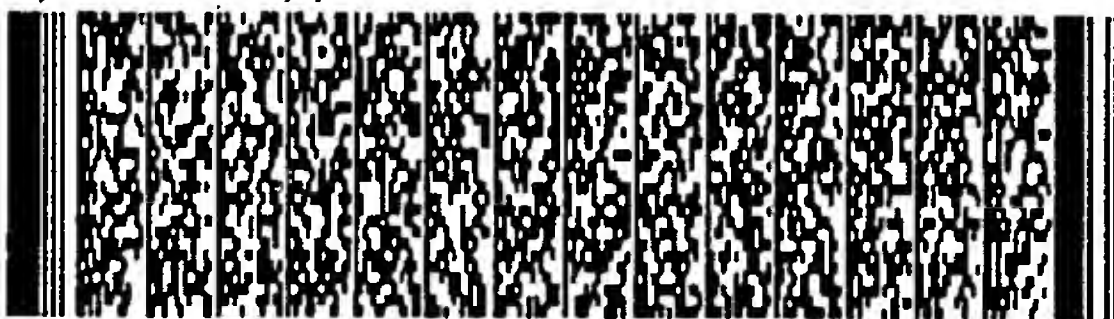
第 6/34 頁



第 7/34 頁



第 7/34 頁



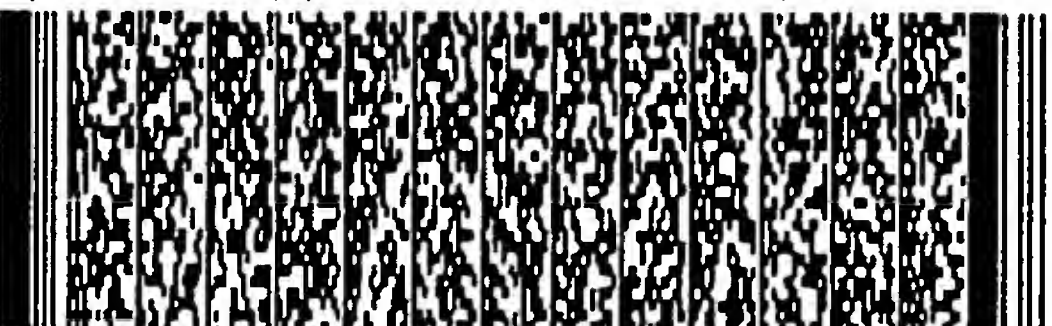
第 8/34 頁



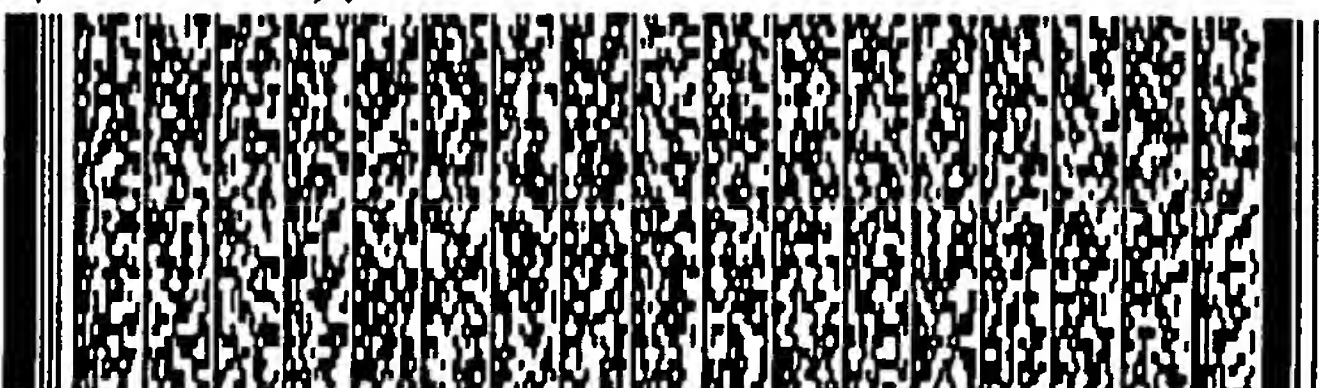
第 9/34 頁



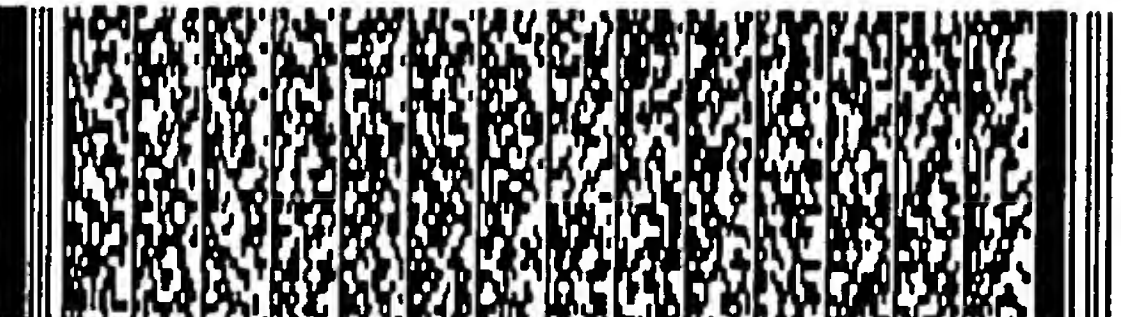
第 9/34 頁



第 10/34 頁



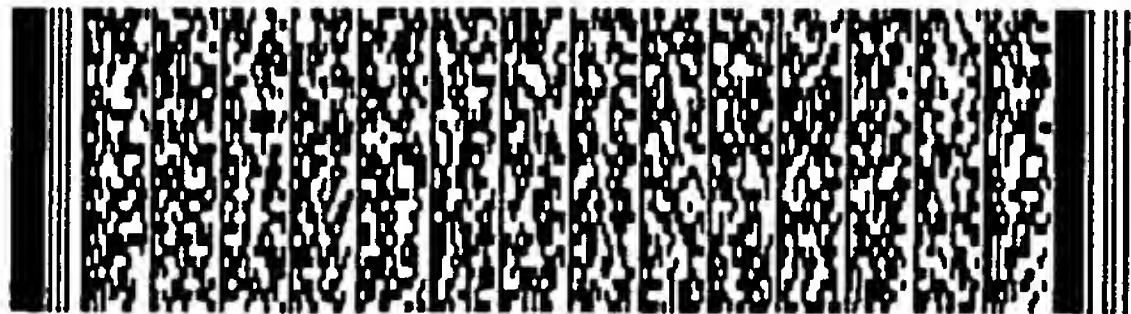
第 11/34 頁



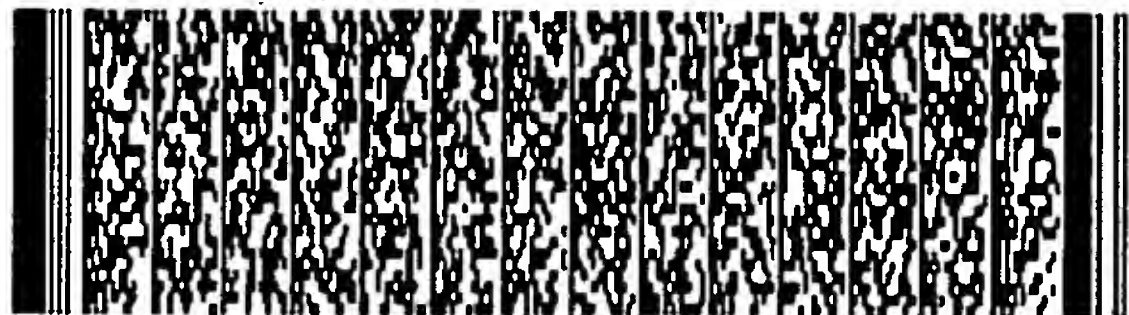
第 11/34 頁



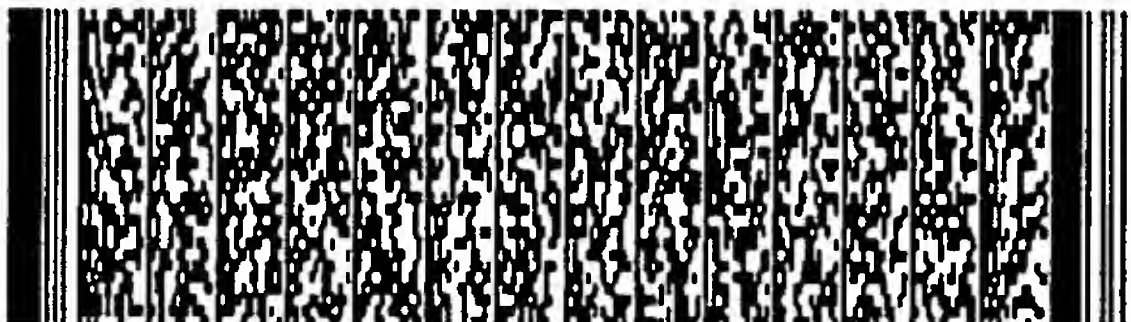
第 12/34 頁



第 12/34 頁



第 13/34 頁



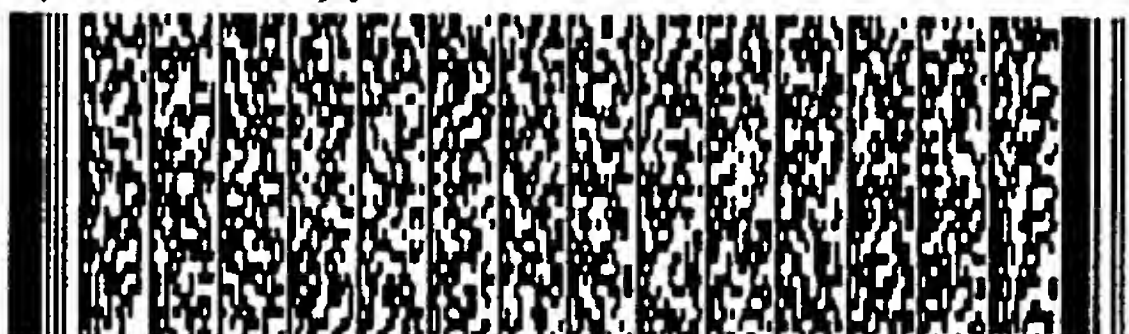
第 13/34 頁



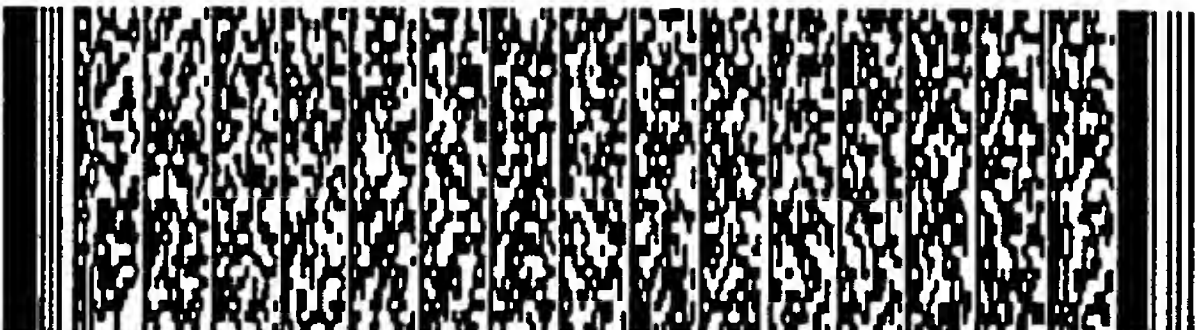
第 14/34 頁



第 14/34 頁



第 15/34 頁



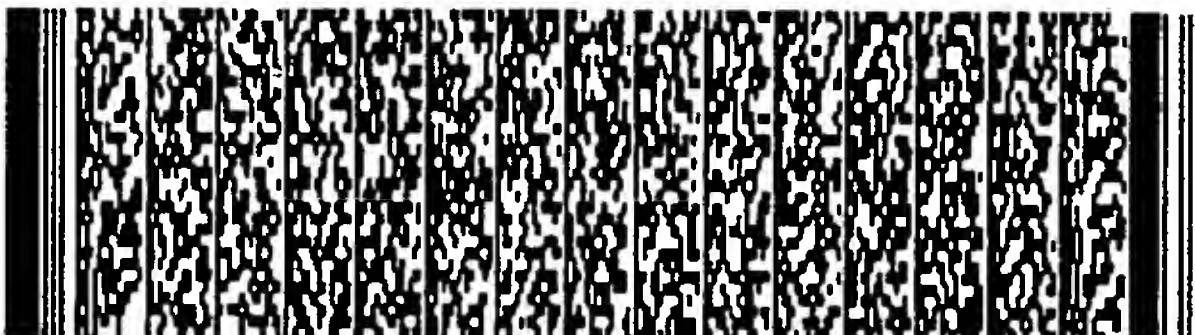
第 15/34 頁



第 16/34 頁



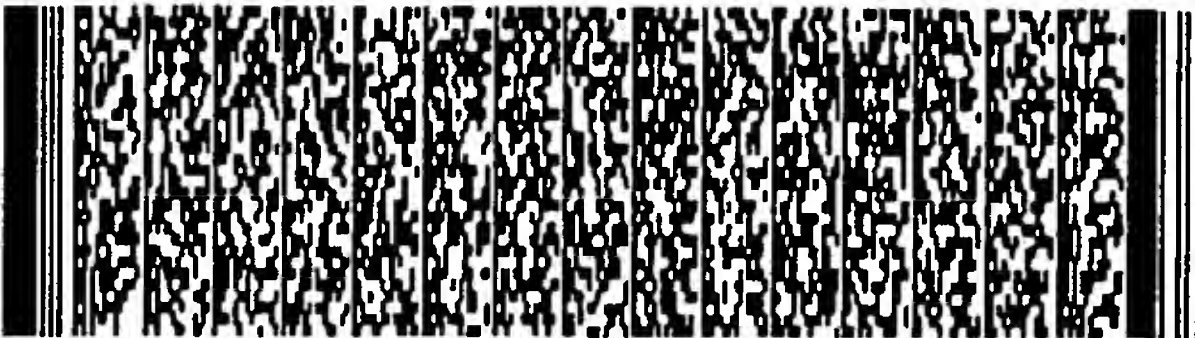
第 16/34 頁



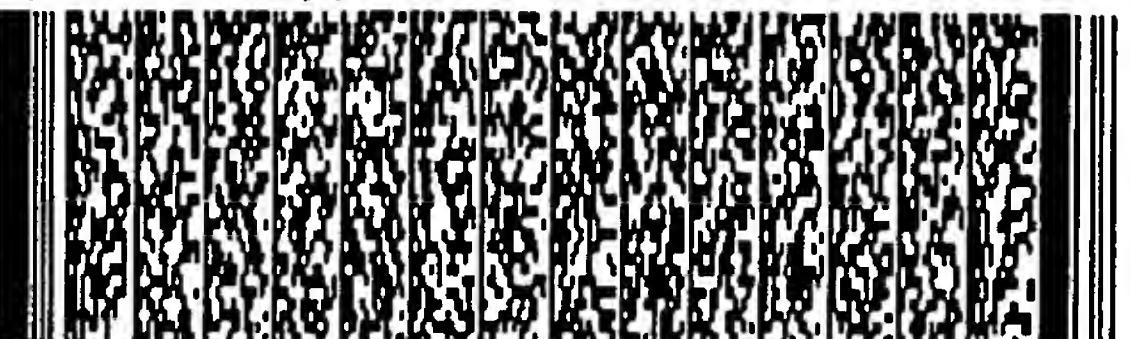
第 17/34 頁



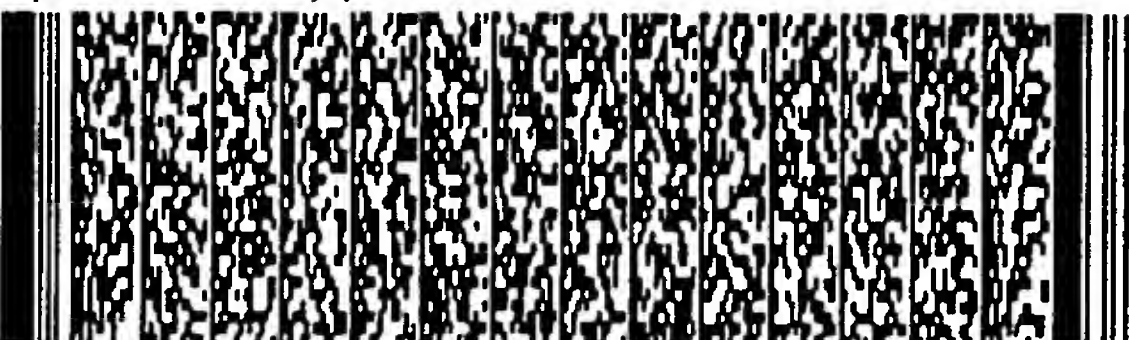
第 17/34 頁



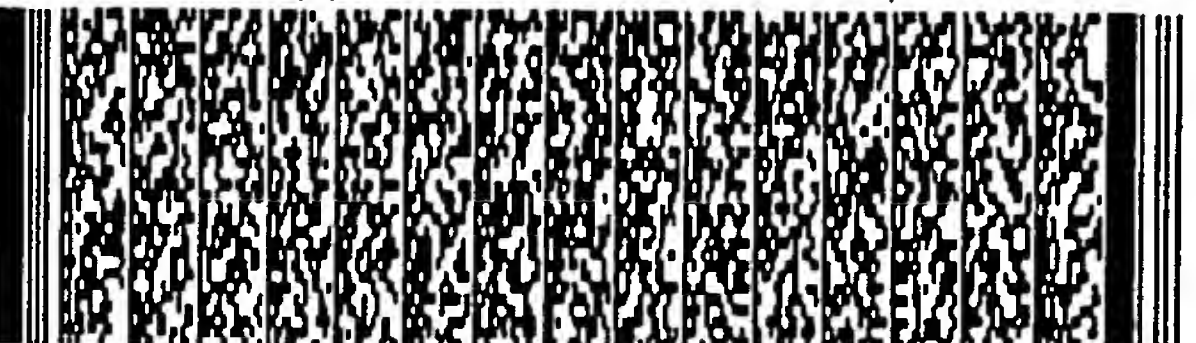
第 18/34 頁



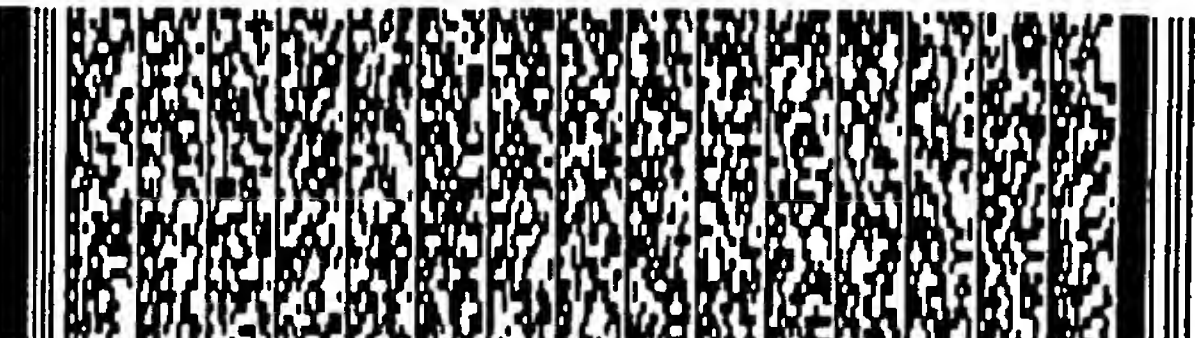
第 18/34 頁



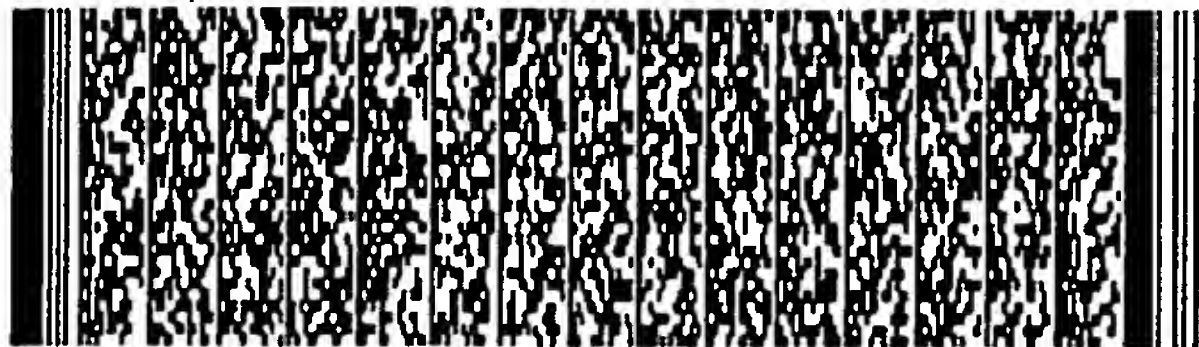
第 19/34 頁



第 19/34 頁



第 20/34 頁



第 20/34 頁



第 21/34 頁



第 21/34 頁



第 22/34 頁



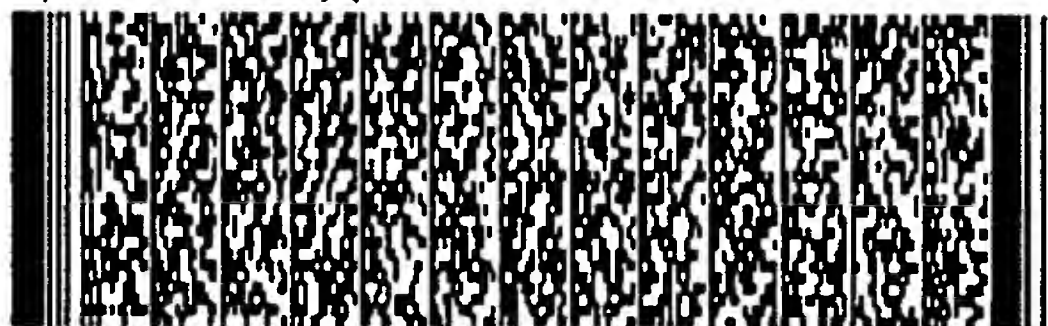
第 22/34 頁



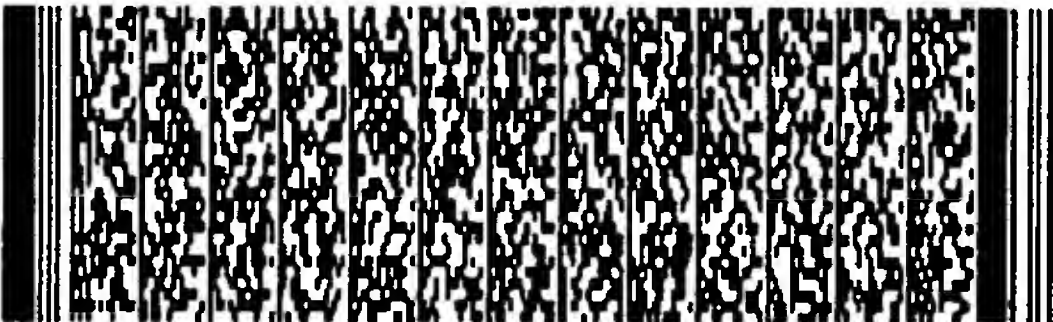
第 23/34 頁



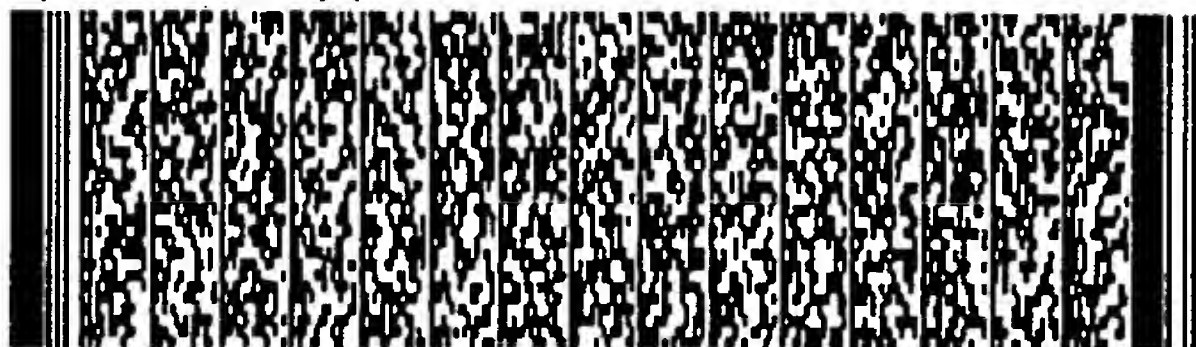
第 24/34 頁



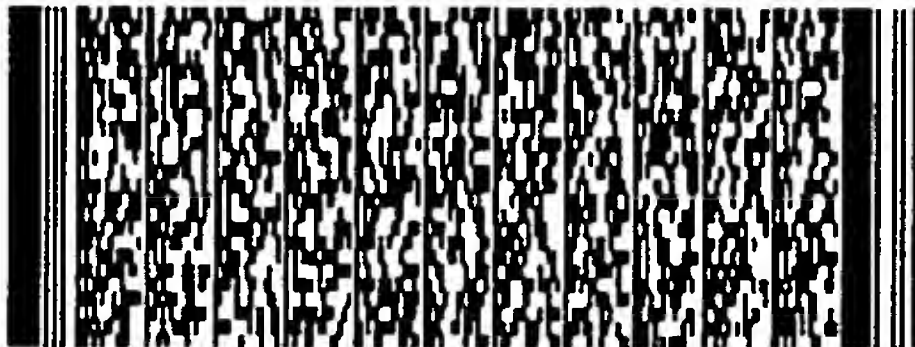
第 24/34 頁



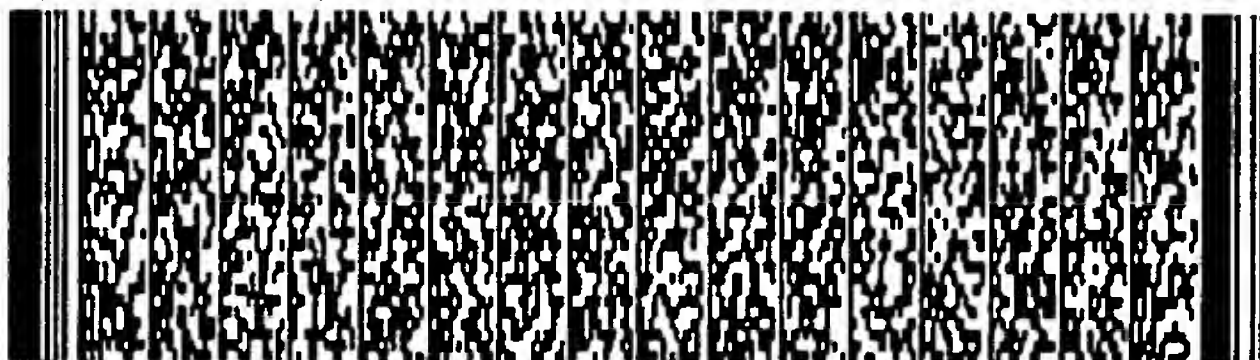
第 25/34 頁



第 26/34 頁



第 27/34 頁



第 28/34 頁



第 29/34 頁



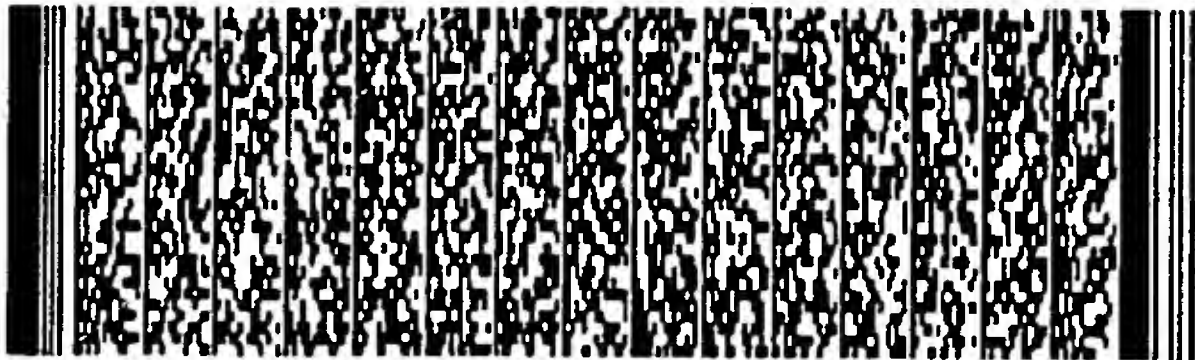
第 29/34 頁



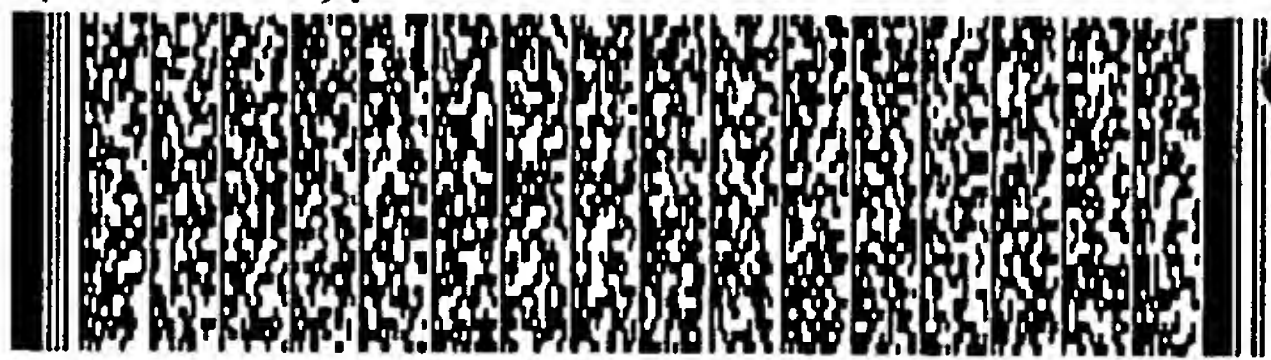
第 30/34 頁



第 31/34 頁



第 32/34 頁



第 33/34 頁



第 33/34 頁



第 34/34 頁

